

METHOD AND CIRCUIT FOR DRIVING LIQUID CRYSTAL DISPLAY, AND PORTABLE ELECTRONIC EQUIPMENT

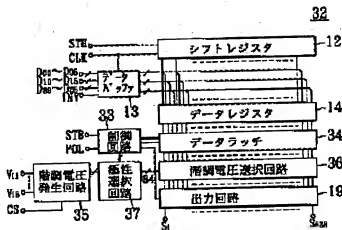
Patent number: JP2002215108
 Publication date: 2002-07-31
 Inventor: HASHIMOTO YOSHIHARU
 Applicant: NEC CORP
 Classification:
 - international: G09G3/36; G02F1/133; G09G3/20
 - european:
 Application number: JP20010008322 20010116
 Priority number(s):

Also published as:

US2002093475 (A1)

Abstract of JP2002215108

PROBLEM TO BE SOLVED: To reduce power consumption, to decrease a packaging area and packaging components, and to obtain high picture quality, in the case of performing line reverse driving and frame reverse driving of a liquid crystal display having a small screen.
SOLUTION: The method for driving this liquid crystal display is through outputting display data D00-D05, D10-D15, D20-D25 as they are or inverted, based on a polarity signal POL inverted in each horizontal period, and also selecting a plurality of gradation voltages of either of the positive and negative polarities set to be suitable for the applied voltages-transmittance characteristics for the positive and negative polarities of the liquid crystal display, selecting a piece of gradation voltage from a plurality of the gradation voltages for the selected polarity based on the non-inverted or inverted display data D'00-D'05, D'10-D'15, D'20-D'25, and applying the one selected voltage to the corresponding data electrodes as the data signals S1-S528.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-215108
(P2002-215108A)

(43) 公開日 平成14年7月31日 (2002.7.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
	6 1 2		6 1 2 F

審査請求 有 請求項の数14 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2001-8322(P2001-8322)

(22) 出願日 平成13年1月16日 (2001.1.16)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 橋本 義春

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100099830

弁理士 西村 征生

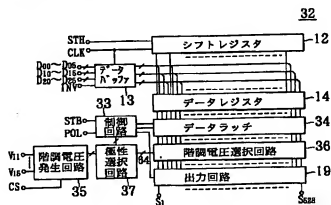
最終頁に続く

(54) 【発明の名称】 液晶ディスプレイの駆動方法、その回路及び携帯用電子機器

(57) 【要約】

【課題】 表示画面が小さい液晶ディスプレイをライン反転駆動やフレーム反転駆動する場合、消費電力の低減、実装面積や実装部品の削減をし、高品質の画質を得る。

【解決手段】 この液晶ディスプレイの駆動方法は、1水平同期周期ごとに反転する極性信号POLに基づいて、表示データD₀₀～D₀₅、D₁₀～D₁₅、D₂₀～D₂₅をそのまま又は反転して出力するとともに、液晶ディスプレイの正極性及び負極性の印加電圧一透過率特性に適合すべく設定された正極性及び負極性のいずれかの極性用の複数個の階調電圧を選択し、そのままの又は反転した表示データD' ₀₀～D' ₀₅、D' ₁₀～D' ₁₅、D' ₂₀～D' ₂₅に基づいて、選択した極性用の複数個の階調電圧から1個の階調電圧を選択し、選択した1個の階調電圧をデータ信号S₁～S₅₂₈として対応するデータ電極に印加する。



【特許請求の範囲】

【請求項 1】 行方向に所定間隔で設けられた複数本の走査電極と列方向に所定間隔で設けられた複数本のデータ電極との各交点にそれぞれ液晶セルが配列された液晶ディスプレイの前記複数本の走査電極に走査信号を順次印加するとともに、前記複数本のデータ電極にデータ信号を順次印加して前記液晶ディスプレイを駆動する液晶ディスプレイの駆動方法であって、

1 水平同期周期ごと又は 1 垂直同期周期ごとに反転する極性信号に基づいて、デジタル映像データをそのまま出力するか、あるいは反転して出力し、

前記極性信号に基づいて、前記液晶ディスプレイの正極性の印加電圧に対する透過率特性及び負極性の印加電圧に対する透過率特性に適合するように予め設定された正極性用の複数個の階調電圧及び負極性用の複数個の階調電圧のいずれか一方の極性用の複数個の階調電圧を選択し、

そのままのデジタル映像データ又は反転したデジタル映像データに基づいて、選択した極性用の複数個の階調電圧の中からいずれかの 1 個の階調電圧を選択し、選択した 1 個の階調電圧を前記データ信号として対応するデータ電極に印加することを特徴とする液晶ディスプレイの駆動方法。

【請求項 2】 1 水平同期周期の略中央の所定期間だけ前記選択した 1 個の階調電圧を増幅して前記データ信号として対応するデータ電極に印加し、前記略中央の所定期間以降の期間では前記選択した 1 個の階調電圧をそのまま前記データ信号として対応するデータ電極に印加することを特徴とする請求項 1 記載の液晶ディスプレイの駆動方法。

【請求項 3】 消費電力を削減するために前記デジタル映像データを反転する換わりに反転されるデータ反転信号と、前記極性信号との論理の組み合わせに基づいて、前記デジタル映像データをそのまま出力するか、あるいは反転して出力するかを決定することを特徴とする請求項 1 又は 2 に記載の液晶ディスプレイの駆動方法。

【請求項 4】 行方向に所定間隔で設けられた複数本の走査電極と列方向に所定間隔で設けられた複数本のデータ電極との各交点にそれぞれ液晶セルが配列された液晶ディスプレイの前記複数本の走査電極に走査信号を順次印加するとともに、前記複数本のデータ電極にデータ信号を順次印加して前記液晶ディスプレイを駆動する液晶ディスプレイの駆動回路であって、

1 水平同期周期ごと又は 1 垂直同期周期ごとに反転する極性信号に基づいて、デジタル映像データをそのまま出力するか、あるいは反転して出力するデータラッチと、前記液晶ディスプレイの正極性の印加電圧に対する透過率特性及び負極性の印加電圧に対する透過率特性に適合するように予め設定された正極性用の複数個の階調電圧及び負極性用の複数個の階調電圧を発生する階調電圧発

生回路と、

前記極性信号に基づいて、前記正極性用の複数個の階調電圧又は前記負極性用の複数個の階調電圧のいずれか一方の極性用の複数個の階調電圧を選択する極性選択回路と、

そのままのデジタル映像データ又は反転したデジタル映像データに基づいて、選択した極性用の複数個の階調電圧の中からいずれかの 1 個の階調電圧を選択する階調電圧選択回路と、

選択された 1 個の階調電圧を前記データ信号として対応するデータ電極に印加する出力回路とを備えてなることを特徴とする液晶ディスプレイの駆動回路。

【請求項 5】 前記階調電圧発生回路は、同一の抵抗値を有し、縦続接続された複数個の抵抗と、外部に設けられた階調電源から供給される最高電圧又は内部の電源電圧のいずれか一方を選択的に前記複数個の抵抗の一端に供給する第 1 のスイッチと、

前記階調電源から供給される最低電圧又は内部の接地電圧のいずれか一方を選択的に前記複数個の抵抗の他端に前記第 1 のスイッチと連動して供給する第 2 のスイッチとを備え、

前記複数個の抵抗の隣接する抵抗の接続点のうち、前記正極性用の複数個の階調電圧とすべき電圧を出現している複数個の接続点と、前記負極性用の複数個の階調電圧とすべき電圧を出現している複数個の接続点とが前記極性選択回路の対応する複数個の端子と接続され、前記第 1 及び第 2 のスイッチが前記複数個の抵抗の両端に前記最高電圧及び最低電圧を供給する場合には、前記複数個の抵抗の隣接する抵抗の接続点のうち、いずれかに前記最高電圧と前記最低電圧との中間電圧の少なくとも 1 個が印加されることを特徴とする請求項 4 記載の液晶ディスプレイの駆動回路。

【請求項 6】 前記階調電圧発生回路は、予め各接続点が前記正極性用の複数個の階調電圧とすべき電圧を出現するようにそれぞれの値が設定され、縦続接続された第 1 の複数個の抵抗と、

予め各接続点が前記負極性用の複数個の階調電圧とすべき電圧を出現するようにそれぞれの値が設定され、縦続接続された第 2 の複数個の抵抗と、前記極性信号により前記第 1 の複数個の抵抗の両端又は前記第 2 の複数個の抵抗の両端に電源電圧を印加する切換回路とを備えてなることを特徴とする請求項 4 記載の液晶ディスプレイの駆動回路。

【請求項 7】 前記階調電圧発生回路は、外部に設けられた階調電源から供給される最高電圧又は内部の電源電圧のいずれか一方を選択的に前記第 1 及び第 2 の複数個の抵抗の一端に供給する第 1 のスイッチ群と、

前記階調電源から供給される最低電圧又は内部の接地電圧のいずれか一方を選択的に前記第 1 及び第 2 の複数個

3

の抵抗の他端に前記第1のスイッチ群と運動して供給する第2のスイッチ群とを備え、

前記第1及び第2のスイッチ群が前記第1及び第2の複数の抵抗の両端に前記最高電圧及び最低電圧を供給する場合には、前記第1及び第2の複数の抵抗の隣接する抵抗の接続点のうち、いずれかに前記最高電圧と前記最低電圧との中間電圧の少なくとも1個が印加されることを特徴とする請求項6記載の液晶ディスプレイの駆動回路。

【請求項8】 前記階調電圧選択回路は、

電源電圧から接地電圧までわたる複数の階調電圧のうち、高圧側の複数の階調電圧がそれぞれ印加される複数のPチャネルのMOSトランジスタと、

低圧側の複数の階調電圧がそれぞれ印加される複数のNチャネルのMOSトランジスタとを備え、

前記デジタル映像データに基づいて、いずれか1個のMOSトランジスタがオンして対応する階調電圧を出力することを特徴とする請求項4乃至7のいずれか1に記載の液晶ディスプレイの駆動回路。

【請求項9】 前記出力回路は、

前記選択された1個の階調電圧を増幅する第1の増幅器と、

前記第1の増幅器の出力端に設けられた第3のスイッチと、

直列接続された前記第1の増幅器及び前記第3のスイッチの両端に並列接続された第4のスイッチとを備え、

1水平同期周期の略中央の所定期間は、前記第3のスイッチをオンして前記第1の増幅器が増幅した階調電圧を前記データ信号として対応するデータ電極に印加し、前記略中央の所定期間以降の期間では、前記第3のスイッチをオフするとともに、前記第4のスイッチをオンし、前記選択した1個の階調電圧をそのまま前記データ信号として対応するデータ電極に印加し、かつ、前記第1の増幅器のバイス電流を遮断して非動作状態とすることを特徴とする請求項4乃至8のいずれか1に記載の液晶ディスプレイの駆動回路。

【請求項10】 前記出力回路は、

定電流回路と、前記定電流回路から供給されるバイス電流を増幅する第2の増幅器と、前記第2の増幅器の出力端に設けられた第5のスイッチと、直列接続された前記第2の増幅器及び前記第5のスイッチの両端に並列接続された第6のスイッチとを有するバイス電流制御回路を備え、

前記略中央の所定期間の間、前記定電流回路が定電流動作を行い、前記略中央の所定期間の前半は、前記第5のスイッチをオンして前記第2の増幅器が増幅したバイス電流を前記第1の増幅器へ供給し、前記略中央の所定期間の後半では、前記第5のスイッチをオフするとともに、前記第6のスイッチをオンし、前記定電流回路からのバイス電流をそのまま前記第1の増幅器へ供給する

4

ことを特徴とする請求項4に記載の液晶ディスプレイの駆動回路。

【請求項11】 前記1水平同期周期が60〜70μsecである場合、前記略中央の所定期間は10μsecであり、前記略中央の所定期間以降の期間は30μsecであることを特徴とする請求項10記載の液晶ディスプレイの駆動回路。

【請求項12】 前記データラッチは、

水平同期信号と同一周期のストロブ信号に同期して、

前記デジタル映像データを取り込み、1水平同期期間の間、取り込んだ前記デジタル映像データを保持するラッチと、

前記ラッチの出力データを所定の電圧に変換するレベルシフトと、

前記極性信号に基づいて、前記レベルシフトの出力データをそのまま出力するか、あるいは反転して出力するイクスクループシフトアゲートとを備えてなることを特徴とする請求項4乃至11のいずれか1に記載の液晶ディスプレイの駆動回路。

【請求項13】 前記データラッチは、

水平同期信号と同一周期のストロブ信号に同期して、前記デジタル映像データを取り込み、1水平同期期間の間、取り込んだ前記デジタル映像データを保持するラッチと、

前記ラッチの出力データを所定の電圧に変換した第1のデータと、電圧変換とともに反転をも行った第2のデータとを出力するレベルシフトと、

前記極性信号に基づいて、前記第1のデータ又は前記第2のデータのいずれか一方を出力する出力切手段とを備えてなることを特徴とする請求項4乃至11のいずれか1に記載の液晶ディスプレイの駆動回路。

【請求項14】 請求項4乃至13のいずれか1に記載の液晶ディスプレイの駆動回路を備えてなることを特徴とする携帯用電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶ディスプレイの駆動方法、その回路及び携帯用電子機器に関し、特に、ノート型、パーム型、ポケット型等のコンピュータ、携帯情報端末（PDA: Personal Digital Assistant）、あるいは携帯電話、PHS（Personal Handy-phone System）などの携帯用電子機器の表示画面が比較的小さい表示部として用いられる液晶ディスプレイを駆動する液晶ディスプレイの駆動方法、その回路及びこのような液晶ディスプレイの駆動回路を備えた携帯用電子機器に関する。

【0002】

【従来の技術】図20は、従来のカラー液晶ディスプレイ1の駆動回路の構成例を示すブロック図である。この例のカラー液晶ディスプレイ1は、例えば、薄膜トラン

ジスタ (TFT) をスイッチ素子に用いたアクティブマトリックス駆動方式のカラー液晶ディスプレイである。この例のカラー液晶ディスプレイ 1 は、行方向に所定間隔で設けられた複数本の走査電極 (ゲート線) と列方向に所定間隔で設けられた複数本のデータ電極 (ソース線) とで囲まれた領域を画素としている。この例のカラー液晶ディスプレイ 1 においては、各画素ごとに、等価的に容量性負荷である液晶セルと、共通電極と、対応する液晶セルを駆動する TFT と、データ電極を 1 垂直同期期間の間書き換えるコンデンサとが配列されている。そして、この例のカラー液晶ディスプレイ 1 を駆動する場合においては、共通電極に共通電位 V_{com} が印加している状態において、デジタル映像データの赤データ DR、緑データ DG、青データ DB に基づいて生成されるデータ赤信号、データ緑信号、データ青信号をデータ電極に印加するとともに、水平同期信号 SH 及び垂直同期信号 SV に基づいて生成される走査信号を走査電極に印加する。これにより、この例のカラー液晶ディスプレイ 1 の表示画面にカラーの文字や画像等が表示される。また、この例のカラー液晶ディスプレイ 1 は、印加電圧を加えない状態においてその透過率が高い、いわゆるノーマリー・ホワイト型である。

【0003】また、この例のカラー液晶ディスプレイ 1 の駆動回路は、制御回路 2 と、階調電源 3 と、共通電源 4 と、データ電極駆動回路 5 と、走査電極駆動回路 6 とから概略構成されている。制御回路 2 は、例えば、ASIC (Application Specific Integrated Circuit) からなり、外部から供給される各 6 ビットの赤データ DR、緑データ DG、青データ DB を 18 ビット幅の表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ に変換してデータ電極駆動回路 5 へ供給する。また、制御回路 2 は、外部から供給されるドットクロック DCLK、水平同期信号 SH 及び垂直同期信号 SV 等に基づいて、ストロブ信号 STB、クロック CLK、水平スタートパルス STH、極性信号 POL、垂直スタートパルス STV 及びデータ反転信号 INV を生成して、階調電源 3、共通電源 4、データ電極駆動回路 5 及び走査電極駆動回路 6 へ供給する。ストロブ信号 STB は、水平同期信号 SH と同一周期の信号である。また、クロック CLK は、ドットクロック DCLK と同一又は異なる周波数であって、後述するように、データ電極駆動回路 5 を構成するシフトレジスタ 12 において水平スタートパルス STH からサンプリングパルス $SP_1 \sim SP_{16}$ を生成するためなどに使用される。水平スタートパルス STH は、水平同期信号 SH と同一周期であるが、ストロブ信号 STB よりクロック CLK のパルス数個分遅延された信号である。また、極性信号 POL は、カラー液晶ディスプレイ 1 を交流駆動するために、1 水平同期周期ごと、すなわち、1 ラインごとに反転する信号である。なお、極性信号 POL は、1 垂直同期

周期ごとに反転する。さらに、垂直スタートパルス STV は、垂直同期信号 SV と同一周期の信号である。また、データ反転信号 INV は、制御回路 2 の消費電力を削減するために用いられる信号である。データ反転信号 INV は、18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ が、前回の 18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ と比較して 10 ビット以上反転している場合に今回の 18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ 自体を反転する代わりに、クロック CLK に同期して反転される信号である。このデータ反転信号 INV が用いられるのは以下に示す理由による。すなわち、上記構成のカラー液晶ディスプレイ 1 の駆動回路を備えた携帯用電子機器においては、通常、制御回路 2 及び階調電源 3 等がプリント基板上に搭載されるのに対し、データ電極駆動回路 5 は、プリント基板とカラー液晶ディスプレイ 1 とを電氣的に接続するフィルムキャリアテープ上に搭載され、TCP (Tape Carrier Package) として実装されている。プリント基板は、カラー液晶ディスプレイ 1 の裏面に取り付けられたバックライトの裏面上部に取り付けられる。したがって、制御回路 2 からデータ電極駆動回路 5 へ 18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ を供給するためには、データ電極駆動回路 5 が搭載されたフィルムキャリアテープ上に 18 本の配線を形成する必要がある。この 18 本の配線には配線容量がある。さらに、制御回路 2 側からみたデータ電極駆動回路 5 の入力容量が 20 pF 程度である。このため、制御回路 2 からデータ電極駆動回路 5 へ 18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ 自体を反転して供給するのではなく、上記配線容量及び入力容量を充電するための電流が必要となる。そこで、18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ 自体を反転することにより、上記配線容量及び入力容量への充電電流を削減し、制御回路 2 の消費電力を削減するのである。

【0004】階調電源 3 は、図 21 に示すように、抵抗 $71 \sim 710$ と、スイッチ $8a$ 、 $8b$ 、 $9a$ 及び $9b$ と、インバータ 10 と、ボルテージ・フォロア 11、 $111 \sim 119$ とから構成されている。階調電源 3 は、ガンマ補正のために設定された階調電圧 $V_{11} \sim V_{19}$ を増幅してデータ電極駆動回路 5 へ供給する。この階調電圧 $V_{11} \sim V_{19}$ は、極性信号 POL に基づいて、1 ラインごとに、カラー液晶ディスプレイ 1 の共通電極に印加されている共通電位 V_{com} に対して電位が正極性と負極性とに反転する。抵抗 $71 \sim 710$ は、各抵抗値が異なり、縦続接続されている。スイッチ $8a$ は、一端に電源電圧 VDD が印加されているとともに、他端が抵抗 71 の一端に接続され、極性信号 POL が "H" レベルの時に

オンして、縦続接続された抵抗 $71 \sim 710$ の一端に電源電圧 V_{DD} を印加する。スイッチ $8b$ は、一端が接地されているとともに、他端が抵抗 71 の一端に接続され、インバータ 10 の出力信号、すなわち、極性信号 POL の反転信号が H レベルの時にオンして、縦続接続された抵抗 $71 \sim 710$ の一端を接地する。スイッチ $9a$ は、一端が接地されているとともに、他端が抵抗 710 の一端に接続され、極性信号 POL が H レベルの時にオンして、縦続接続された抵抗 $71 \sim 710$ の他端を接地する。スイッチ $9b$ は、一端に電源電圧 V_{DD} が印加されているとともに、他端が抵抗 710 の一端に接続され、極性信号 POL の反転信号が H レベルの時にオンし、縦続接続された抵抗 $71 \sim 710$ の他端に電源電圧 V_{DD} を印加する。すなわち、階調電源 3 は、極性信号 POL が H レベルの時に、抵抗 $71 \sim 710$ の抵抗比に応じて電源電圧 V_{DD} を分圧した正極性の階調電圧 $V_{I1} \sim V_{I9}$ ($GND < V_{I9} < V_{I8} < V_{I7} < V_{I6} < V_{I5} < V_{I4} < V_{I3} < V_{I2} < V_{I1} < V_{DD}$) を発生し、ボルテージ・フォロア $11 \sim 119$ により増幅した後、データ駆動回路 5 へ供給する。一方、極性信号 POL が L レベルの時は、階調電源 3 は、抵抗 $71 \sim 710$ の抵抗比に応じて電源電圧 V_{DD} を分圧した負極性の階調電圧 $V_{I1} \sim V_{I9}$ ($GND < V_{I1} < V_{I2} < V_{I3} < V_{I4} < V_{I5} < V_{I6} < V_{I7} < V_{I8} < V_{I9} < V_{DD}$) を発生し、ボルテージ・フォロア $11 \sim 119$ により増幅した後、データ駆動回路 5 へ供給する。

【0005】共通電源 4 は、極性信号 POL が H レベルの時、共通電位 V_{com} を接地レベル(GND)とし、極性信号 POL が L レベルの時、共通電位 V_{com} を電源電圧レベル(V_{DD})として、カラー液晶ディスプレイの共通電極に印加する。データ電極駆動回路 5 は、制御回路 2 から供給されるストロブ信号 STB 、クロック CLK 、水平スタートパルス STH 及びデータ反転信号 INV のタイミングで、同じく制御回路 2 から供給される 18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ により所定の階調電圧を選択し、データ赤信号、データ緑信号、データ青信号としてカラー液晶ディスプレイの対応するデータ電極に印加する。走査電極駆動回路 6 は、制御回路 2 から供給される垂直スタートパルス STV のタイミングで、走査信号を順次生成してカラー液晶ディスプレイの対応する走査電極に順次印加する。

【0006】次に、データ電極駆動回路 5 について詳細に説明する。この例では、カラー液晶ディスプレイの解像度が 176×220 画素であるとする。1画素が3個の赤(R)、緑(G)、青(B)のドット画素により構成されているので、そのドット画素数は、 528×220 画素となる。データ電極駆動回路 5 は、図22に示すように、シフトレジスタ 12 と、データバッファ 13

と、データレジスタ 14 と、制御回路 15 と、データラッチ 16 と、階調電圧発生回路 17 と、階調電圧選択回路 18 と、出力回路 19 とから構成されている。シフトレジスタ 12 は、 176 個のディレイ・フリップフロップ(DFF)で構成されたシリアルイン・パラレルアウト型のシフトレジスタであり、制御回路 2 から供給されるクロック CLK に同期して、同じく制御回路 2 から供給される水平スタートパルス STH をシフトするシフト動作を行うとともに、 176 ビットのパラレルのサンプリングパルス $SP_1 \sim SP_{176}$ を出力する。

【0007】データバッファ 13 は、上記したように、制御回路 2 の消費電力を削減するためのデータ反転信号 INV に基づいて、同じく制御回路 2 から供給される 18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ をそのまま又は反転して表示データ $D'_{00} \sim D'_{05}$ 、 $D'_{10} \sim D'_{15}$ 、 $D'_{20} \sim D'_{25}$ としてデータレジスタ 14 へ供給する。ここで、図23にデータバッファ 13 の一部の構成を示す。

データバッファ 13 は、 18 個のデータバッファ部 $13a_1 \sim 13a_{18}$ と、1個の制御部 $13b$ とから構成されている。制御部 $13b$ は、各々複数のインバータが直列接続された2個のインバータ群からなる。制御部 $13b$ は、制御回路 2 から供給されるデータ反転信号 INV 及びクロック CLK を対応するインバータ群により所定時間遅延してデータ反転信号 INV_1 及びクロック CLK_1 としてデータバッファ部 $13a_1 \sim 13a_{18}$ へ供給する。データバッファ部 $13a_1 \sim 13a_{18}$ は、各構成要素の添え字が異なるとともに、入力される信号の添え字が異なる以外は同一構成であるので、以下ではデータバッファ部 $13a_1$ についてのみ説明する。データバッファ部 $13a_1$ は、図23に示すように、DFF 20_1 と、インバータ 21_1 、 22_1 及び 23_1 と、切換手段 24_1 とから構成されている。DFF 20_1 は、1ビットの表示データ D_{00} をクロック CLK_1 に同期してクロック CLK_1 のパルス1個分保持した後、出力する。インバータ 21_1 は、DFF 20_1 の出力データを反転する。切換手段 24_1 は、スイッチ 24_1a 及び 24_1b とからなる。切換手段 24_1 は、データ反転信号 INV_1 が H レベルの時にスイッチ 24_1a がオンしてDFF 20_1 から供給されるデータを出力し、データ反転信号 INV_1 が L レベルの時にスイッチ 24_1b がオンしてインバータ 21_1 から供給されるデータを出力する。インバータ 22_1 は、切換手段 24_1 から供給されるデータを反転し、インバータ 23_1 は、インバータ 22_1 から供給されるデータを反転して表示データ D'_{00} として出力する。

【0008】図22に示すデータレジスタ 14 は、シフトレジスタ 12 から供給されるサンプリングパルス $SP_1 \sim SP_{176}$ に同期して、データバッファ 13 から供給される表示データ $D'_{00} \sim D'_{05}$ 、 $D'_{10} \sim D'$

50 給される表示データ $D'_{00} \sim D'_{05}$ 、 $D'_{10} \sim D'$

15、D'20~D'25を表示データPD1~PD528として取り込み、データラッチ16へ供給する。

制御回路15は、複数個直列接続されたインバータからなる。制御回路15は、制御回路2から供給されるストロブ信号STBと所定時間遅延したストロブ信号STB1と、ストロブ信号STB1と逆相の関係にあるスイッチ制御信号SWAとを生成する。制御回路15は、ストロブ信号STB1をデータラッチ16へ供給するとともに、スイッチ制御信号SWAを出力回路19へ供給する。データラッチ16は、制御回路15から供給されるストロブ信号STB1の立ち上がり同期し、データレジスタ14から供給される表示データPD1~PD528を取り込み、次にストロブ信号STB1が供給されるまで、すなわち、1水平同期期間の間、取り込んだ表示データPD1~PD528を保持する。

階調電圧発生回路17は、図24に示すように、縦続接続された抵抗251~2563から構成されている。抵抗251~2563の各抵抗値は、カラー液晶ディスプレイ1の印加電圧-透過率特性に適合するように設定されている。階調電圧発生回路17においては、階調電源3から供給される階調電圧V11~V19のうち、階調電圧V11が抵抗251の一端に、階調電圧V12が抵抗257と抵抗258との接続点に、階調電圧V13が抵抗2515と抵抗2516との接続点に、階調電圧V14が抵抗2523と抵抗2524との接続点に、階調電圧V15が抵抗2531と抵抗2532との接続点に、階調電圧V16が抵抗2539と抵抗2540との接続点に、階調電圧V17が抵抗2547と抵抗2548との接続点に、階調電圧V18が抵抗2555と抵抗2556との接続点に、階調電圧V19が抵抗2563の一端に印加される。これにより、階調電圧発生回路17は、9個の階調電圧V11~V19を抵抗251~2563の抵抗比に応じて分圧し、カラー液晶ディスプレイ1の共通電極に印加されている共通電位Vcomに対して電位が1ラインごとに正極性と負極性とに反転する64個の階調電圧V1~V64を出力する。

【0009】図22に示す階調電圧選択回路18は、階調電圧選択部181~18528から構成されている。各階調電圧選択部181~18528は、対応するデジタルの6ビットの表示データPD1~PD528の値に基づいて、階調電圧発生回路17から供給されるアナログの64個の階調電圧V1~V64の中から1個の階調電圧を選択し、出力回路19の対応する増幅器に供給する。階調電圧選択部181~18528は、同一構成であるので、以下では階調電圧選択部181についてのみ説明する。階調電圧選択部181は、図25に示すように、マルチプレкса(MPX)26と、トランスファゲート271~2764と、インバータ281~2864

とから構成されている。MPX26は、対応する6ビットの表示データPD1の値に基づいて、64個のトランスファゲート271~2764のいずれか1個をオンさせる。各トランスファゲート271~2764は、PチャネルのMOSTランジスタ29aと、NチャネルのMOSTランジスタ29bとからなり、MPX26によりオンされ、対応する階調電圧をデータ赤信号、データ緑信号、あるいはデータ青信号として出力する。出力回路19は、528個の出力部191~19528とからなり、各出力部191~19528は、増幅器301~30528と、各増幅器301~30528の後段に設けられた528個のスイッチ311~31528とから構成されている。出力回路19は、階調電圧選択回路18から供給される対応するデータ赤信号、データ緑信号、データ青信号を増幅した後、制御回路15から供給されるスイッチ制御信号SWAによってオンされたスイッチ311~31528を介してカラー液晶ディスプレイ1の対応するデータ電極に印加する。図25には、表示データPD1に対応するデータ赤信号S1を出力するため

に設けられた増幅器301と、スイッチ311とを示している。

【0010】次に、上記構成の液晶ディスプレイの駆動回路の動作のうち、制御回路2、階調電源3、共通電源4及びデータ電極駆動回路5の動作について、図26に示すタイミングチャートを参照して説明する。まず、制御回路2は、図示せぬクロックCLKと、図26

(1)に示すストロブ信号STBと、図26(2)に示すように、ストロブ信号STBよりクロックCLKのパルス数個分遅延された水平スタートパルスSTHと、図26(3)に示す極性信号POLとをデータ電極駆動回路5へ供給する。これにより、データ電極駆動回路5のシフトレジスタ12は、クロックCLKに同期して、水平スタートパルスSTHをシフトするシフト動作を行うとともに、176ビットのパラレルのサンプリングパルスSP1~SP176を出力する。これと略同時に、制御回路2は、外部から供給される各6ビットの赤データDR、緑データDG、青データDBを18ビットの表示データD00~D05、D10~D15、D20~D25に変換してデータ電極駆動回路5へ供給する(図26)。これにより、18ビットの表示データD00~D05、D10~D15、D20~D25は、データ電極駆動回路5のデータバッファ13において、クロックCLKより所定時間遅延されたクロックCLK1に同期してクロックCLK1のパルス1個分保持された後、表示データD'00~D'05、D'10~D'15、D'20~D'25としてデータレジスタ14へ供給される。したがって、表示データD'00~D'05、D'10~D'15、D'20~D'25は、シフトレジスタ12から供給されるサンプリングパルスSP1~SP176に同期して順次表示データPD1~PD528と

してデータレジスタ14に取り込まれた後、ストロープ信号STB1の立ち上がりに同期して一斉にデータラッチ16に取り込まれ、1水平同期期間の間、保持される。

【0011】次に、図21に示す階調電源3において、図26(3)に示す極性信号POLが“H”レベルの時は、スイッチ8a及び9aがオンするとともに、スイッチ8b及び9bがオンする。これにより、抵抗71の一端に電源電圧VDDが印加されるとともに抵抗710の一端が接地され、正極性の階調電圧V11~V19 ($GND < V19 < V18 < V17 < V16 < V15 < V14 < V13 < V12 < V11 < VDD$) (図26(4))には階調電圧V11のみ示す)が発生される。この正極性の階調電圧V11~V19は、ボルテージ・フォア111~119により増幅された後、図22に示すデータ駆動回路5の階調電圧発生回路17へ供給される。したがって、階調電圧発生回路17において、正極性の階調電圧V11~V19が抵抗251~2563の抵抗比に応じて分圧され、64個の正極性の階調電圧V1~V64 (階調電圧V1が最も電源電圧VDDに近い、階調電圧V64が最も接地GNDに近い)が生成され、階調電圧選択回路18へ供給される。したがって、階調電圧選択回路18の各階調電圧選択部181~18528において、MPX26が対応する6ビットの表示データPD1~PD528の値に基づいて、64個のトランスファゲート271~2764のいずれか1個をオンする。これにより、オンしたトランスファゲート27から対応する階調電圧がデータ赤信号、データ緑信号、データ青信号として出力される。データ赤信号、データ緑信号及びデータ青信号は、出力回路19の対応する増幅器301~30528において増幅される。各増幅器301~30528の出力信号は、図26(1)に示すストロープ信号STBが立ち下がるタイミングで立ち上がるスイッチ制御信号SWA (図26(6)参照)によってオンされたスイッチ311~31528を経て、データ赤信号、データ緑信号及びデータ青信号S1~S528として、カラー液晶ディスプレイ1の対応するデータ電極に印加される。図26(7)には、表示データPD1の値が「000000」である場合のデータ赤信号S1の波形の一例を示している。この場合、階調電圧選択部181において、MPX26が対応する表示データPD1の値「000000」に基づいて、トランスファゲート271がオンし、正極性の階調電圧V1がデータ赤信号S1として出力される。図26(7)において、ストロープ信号STBが“H”レベルの時にデータ赤信号S1を点線で示しているのは、スイッチ311がオフされており、出力部19から出力されるデータ赤信号S1によりカラー液晶ディスプレイ1の対応するデータ電極に印加される電圧は、ハイインピーダンス状態にあるからである。一方、共通電源4は、“H”レベルの極

性信号POLに基づいて、共通電位Vcomを接地レベル(GND)としてカラー液晶ディスプレイ1の共通電極に印加する。したがって、ノーマリー・ホワイト型であるカラー液晶ディスプレイ1の対応する画素には黒レベルが表示される。

【0012】次に、図21に示す階調電源3において、図26(3)に示す極性信号POLが“L”レベルの時は、スイッチ8a及び9aがオフするとともに、スイッチ8b及び9bがオンする。これにより、抵抗71の一端が接地されるとともに抵抗710の一端に電源電圧VDDが印加され、負極性の階調電圧V11~V19 ($GND < V11 < V12 < V13 < V14 < V15 < V16 < V17 < V18 < V19 < VDD$) (図26(4))には階調電圧V11のみ示す)が発生される。この負極性の階調電圧V11~V19は、ボルテージ・フォア111~119により増幅された後、図22に示すデータ駆動回路5の階調電圧発生回路17へ供給される。したがって、階調電圧発生回路17において、負極性の階調電圧V11~V19が抵抗251~2563の抵抗比に応じて分圧され、64個の負極性の階調電圧V1~V64 (階調電圧V1が最も接地GNDに近い、階調電圧V64が最も電源電圧VDDに近い)が生成され、階調電圧選択回路18へ供給される。したがって、階調電圧選択回路18の各階調電圧選択部181~18528において、MPX26が対応する6ビットの表示データPD1~PD528の値に基づいて、64個のトランスファゲート271~2764のいずれか1個をオンする。これにより、オンしたトランスファゲート27から対応する階調電圧がデータ赤信号、データ緑信号、データ青信号として出力される。データ赤信号、データ緑信号及びデータ青信号は、出力回路19の対応する増幅器301~30528において増幅される。各増幅器301~30528の出力信号は、図26(1)に示すストロープ信号STBが立ち下がるタイミングで立ち上がるスイッチ制御信号SWA (図26(6)参照)によってオンされたスイッチ311~31528を経て、データ赤信号、データ緑信号及びデータ青信号S1~S528として、カラー液晶ディスプレイ1の対応するデータ電極に印加される。図26(7)には、表示データPD1の値が「000000」である場合のデータ赤信号S1の波形の一例を示している。この場合、階調電圧選択部181において、MPX26が対応する表示データPD1の値「000000」に基づいて、トランスファゲート271がオンし、負極性の階調電圧V1がデータ赤信号S1として出力される。一方、共通電源4は、“L”レベルの極性信号POLに基づいて、共通電位Vcomを電源電圧レベル(VDD)としてカラー液晶ディスプレイ1の共通電極に印加する。したがって、ノーマリー・ホワイト型であるカラー液晶ディスプレイ1の対応する画素には同じく黒レベルが表示される。この

ように、カラー液晶ディスプレイ1の共通電極に印加されている共通電位 V_{com} に対して電位がラインごとに反転するデータ信号をデータ電極に印加するとともに、それに応じて共通電位 V_{com} もラインごとに接地レベル(GND)と電源電圧レベル(V_{DD})とに反転させる方式は、ライン反転駆動方式と呼ばれる。このライン反転駆動方式は、液晶セルに同極性の電圧を印加し続けるとカラー液晶ディスプレイの寿命が短くなると、液晶セルに印加する電圧の極性が逆になっても、液晶セルがほぼ同じ透過率特性を有することを理由として、従来から採用されている。

【0013】

【発明が解決しようとする課題】上記したように、従来の液晶ディスプレイの駆動回路においては、階調電圧選択回路18の各階調電圧選択部18₁~18₅₂₈がトランスファゲート27₁~27₆₄から構成されている。したがって、階調電圧選択回路18全体では528×64個のトランスファゲートを有し、全体で500pF程度の寄生容量Cがある。また、上記したように、従来の液晶ディスプレイの駆動回路においては、ライン反転駆動方式を採用しているため、図21に示す階調電圧3において、1ラインごとにスイッチ8_a及び9_aと、スイッチ8_b及び9_bとを交互に切り換えることにより、正極性の階調電圧と負極性の階調電圧とを出力している。さらに、図24に示すように、従来の液晶ディスプレイの駆動回路においては、階調電圧発生回路17が縦続接続された抵抗25₁~25₆₃により構成されている。

【0014】ここで、抵抗25₁~25₆₃の抵抗値の総和をRとすると、スイッチ8_a及び9_a又はスイッチ8_b及び9_bを切り換えた後に各階調電圧選択部18₁~18₅₂₈を構成するトランスファゲート27₁~27₆₄に印加される正極性又は負極性の階調電圧 V_{1 ~ V_{64} が所定の値に到達するまでには、最低でも $8 \times C \times R$ (μ sec) (最終的な値の99.9%)の時間Tがかかる。この時間Tは、解像度が176×220画素であるカラー液晶ディスプレイ1の場合、約50 μ secである。したがって、抵抗値の総和Rは、12.5k Ω ($=50 \times 10^{-6} / 8 / 50 \times 10^{-12}$)となる。そして、電源電圧 V_{DD} を5Vとすると、縦続接続された抵抗25₁~25₆₃に流れる電流Iは、0.4mA ($=5 / 12.5 \times 10^3$)となるから、階調電圧発生回路17における消費電力は、2mW ($=0.4 \times 10^{-3} \times 5$)にもなってしまう。この2mWもの消費電力は、常時階調電圧発生回路17において消費される。さらに、上記したように、階調電圧選択回路18は、500pF程度の寄生容量Cを有している。ライン反転駆動方式により抵抗25₁~25₆₃に印加される電圧の極性が1ラインごとにより切り換えられると、寄生容量Cに充放電電流が流れるから、階調電圧選択回路18にお

る消費電力は、0.125mWになる。この合計2.125mWもの消費電力は、ノート型、パーム型、ポケット型等のコンピュータ、PDA、あるいは携帯電話、PHSなど、バッテリー等により駆動される携帯用電子機器においては無視できない値である。さらに、上記したように、階調電圧選択回路18全体の寄生容量Cが500pF程度と大きいので、ライン反転駆動した際の寄生容量Cの充放電に時間がかかるため、カラー液晶ディスプレイ1に表示された画面のコントラストが悪いという欠点がある。

【0015】また、上記したノート型、パーム型、ポケット型等のコンピュータ、PDA、あるいは携帯電話、PHSなど、バッテリー等により駆動される携帯用電子機器は、小型化・軽量化が必須である。ところが、上記したように、従来の液晶ディスプレイの駆動回路においては、データ電極駆動回路5の外部に階調電圧3が個別に設けられているだけでなく、階調電圧選択回路18が528×64個ものトランスファゲートにより構成されている。したがって、プリント基板の面積が階調電圧3を実装する分だけ必要であるとともに、階調電圧選択回路18を有するデータ電極駆動回路5を構成する半導体集積回路(1C)の回路規模が大きくなってチップサイズが大きくなってしまふ。このことが上記携帯用電子機器の小型化・軽量化の障害になっている。

【0016】また、携帯電話やPHSにおいて、解像度が176×220画素であるカラー液晶ディスプレイ1を約60Hzの周波数で駆動する場合、1水平同期周波数は60~70 μ secである。一方、カラー液晶ディスプレイ1の実際の駆動時間は1水平同期周期当たり約40 μ secで済む。ところが、従来のカラー液晶ディスプレイ1の駆動回路においては、本来カラー液晶ディスプレイ1の駆動に必要な期間(20~30 μ sec程度)においても出力回路19を駆動する増幅器30₁~30₅₂₈は動作状態としていたために、消費電力は24mW程度もあった。このことが上記携帯用電子機器の低消費電力化の障害になっている。

【0017】また、上記したように、従来の液晶ディスプレイの駆動回路においては、液晶セルに印加する電圧の極性が逆になっても、液晶セルがほぼ同じ透過率特性を有することを前提として、図21に示す階調電圧3において同一の電圧値を有する階調電圧 V_{11} ~ V_{19} の極性だけを反転させて用いていた。しかしながら、実際の液晶セルの印加電圧に対する透過率特性は、スイッチ素子であるTFTのスイッチングノイズなどに起因して、正極性の電圧が印加された場合と負極性の電圧が印加された場合とで若干異なっている。このため、同一の電圧値を有する階調電圧 V_{11} ~ V_{19} の極性だけを反転させて用いると色補正が難しいなどの問題があり、高品質の画質を得ることができなかった。以上説明した不都合は、カラー液晶ディスプレイ1の表示画面が比較的

小さく、カラー液晶ディスプレイ1の駆動方式として、共通電極に印加されている共通電位に対して電位がラインごと及びフレームごとに反転するデータ信号をデータ電極に印加するフレーム反転駆動方式を採用した場合でも同様に発生する。さらに、以上説明した不都合は、モノクロの液晶ディスプレイの駆動回路においても同様に発生する。

【0018】この発明は、上述の事情に鑑みてなされたもので、表示画面が比較的小さい液晶ディスプレイをライン反転駆動方式やフレーム反転駆動方式により駆動する場合に、消費電力の低減、実装面積や実装部品の削減をすることができるとともに、高品質の画質を得ることができる液晶ディスプレイの駆動方法、その回路及び携帯用電子機器を提供することを目的としている。

【0019】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、行方向に所定間隔で設けられた複数の走査電極と列方向に所定間隔で設けられた複数のデータ電極との各交点にそれぞれ液晶セルが配列された液晶ディスプレイの上記複数の走査電極に走査信号を順次印加するとともに、上記複数のデータ電極にデータ信号を順次印加して上記液晶ディスプレイを駆動する液晶ディスプレイの駆動方法に係り、1水平同期周期ごと又は1垂直同期周期ごとに反転する極性信号に基づいて、デジタル映像データをそのまま出力するか、あるいは反転して出力し、上記極性信号に基づいて、上記液晶ディスプレイの正極性の印加電圧に対する透過率特性及び負極性の印加電圧に対する透過率特性に適合するように予め設定された正極性の複数の階調電圧及び負極性の複数の階調電圧のいずれか一方の極性用の複数の階調電圧を選択し、そのままのデジタル映像データ又は反転したデジタル映像データに基づいて、選択した極性用の複数の階調電圧の中からいずれかの1個の階調電圧を選択し、選択した1個の階調電圧を上記データ信号として対応するデータ電極に印加することを特徴としている。

【0020】また、請求項2記載の発明は、請求項1記載の液晶ディスプレイの駆動方法に係り、1水平同期周期の略中央の所定期間だけ上記選択した1個の階調電圧を増幅して上記データ信号として対応するデータ電極に印加し、上記略中央の所定期間以降の期間では上記選択した1個の階調電圧をそのまま上記データ信号として対応するデータ電極に印加することを特徴としている。

【0021】また、請求項3記載の発明は、請求項1又は2記載の液晶ディスプレイの駆動方法に係り、消費電力を削減するために上記デジタル映像データを反転する代わりに反転されるデータ反転信号と、上記極性信号との論理の組み合わせに基づいて、上記デジタル映像データをそのまま出力するか、あるいは反転して出力するかを決定することを特徴としている。

【0022】また、請求項4記載の発明は、行方向に所定間隔で設けられた複数の走査電極と列方向に所定間隔で設けられた複数のデータ電極との各交点にそれぞれ液晶セルが配列された液晶ディスプレイの上記複数の走査電極に走査信号を順次印加するとともに、上記複数のデータ電極にデータ信号を順次印加して上記液晶ディスプレイを駆動する液晶ディスプレイの駆動回路に係り、1水平同期周期ごと又は1垂直同期周期ごとに反転する極性信号に基づいて、デジタル映像データをそのまま出力するか、あるいは反転して出力するデータラッチと、上記液晶ディスプレイの正極性の印加電圧に対する透過率特性及び負極性の印加電圧に対する透過率特性に適合するように予め設定された正極性の複数の階調電圧及び負極性の複数の階調電圧を発生する階調電圧発生回路と、上記極性信号に基づいて、上記正極性用の複数の階調電圧又は上記負極性用の複数の階調電圧のいずれか一方の極性用の複数の階調電圧を選択する極性選択回路と、そのままのデジタル映像データ又は反転したデジタル映像データに基づいて、選択した極性用の複数の階調電圧の中からいずれかの1個の階調電圧を選択する階調電圧選択回路と、選択した1個の階調電圧を上記データ信号として対応するデータ電極に印加する出力回路とを備えてなることを特徴としている。

【0023】また、請求項5記載の発明は、請求項4記載の液晶ディスプレイの駆動回路に係り、上記階調電圧発生回路は、同一の抵抗値を有し、継続接続された複数の抵抗と、外部に設けられた階調電源から供給される最高電圧又は内部の電源電圧のいずれか一方を選択的に上記複数の抵抗の一端に供給する第1のスイッチと、上記階調電源から供給される最低電圧又は内部の接地電圧のいずれか一方を選択的に上記複数の抵抗の他端に上記第1のスイッチと連動して供給する第2のスイッチとを備え、上記複数の抵抗の隣接する抵抗の接続点のうち、上記正極性用の複数の階調電圧とすべき電圧を出現している複数の接続点と、上記負極性用の複数の階調電圧とすべき電圧を出現している複数の接続点とが上記極性選択回路の対応する複数の端子と接続され、上記第1及び第2のスイッチが上記複数の抵抗の両端に上記最高電圧及び最低電圧を供給する場合には、上記複数の抵抗の隣接する抵抗の接続点のうち、いずれかに上記最高電圧と上記最低電圧との中間電圧の少なくとも1個が印加されることを特徴としている。

【0024】また、請求項6記載の発明は、請求項4記載の液晶ディスプレイの駆動回路に係り、上記階調電圧発生回路は、予め各接続点が上記正極性用の複数の階調電圧とすべき電圧を出現するようにそれぞれ値が設定され、継続接続された第1の複数の抵抗と、予め各接続点が上記負極性用の複数の階調電圧とすべき電圧を出現するようにそれぞれの値が設定され、継続接続さ

れた第2の複数の抵抗と、上記極性信号により上記第1の複数の抵抗の両端又は上記第2の複数の抵抗の両端に電源電圧を印加する切換回路とを備えてなることを特徴としている。

【0025】また、請求項7記載の発明は、請求項6記載の液晶ディスプレイの駆動回路に係り、上記階調電圧発生回路は、外部に設けられた階調電源から供給される最高電圧又は内部の電源電圧のいずれか一方を選択的に上記第1及び第2の複数の抵抗の一端に供給する第1のスイッチ群と、上記階調電源から供給される最低電圧又は内部の接地電圧のいずれか一方を選択的に上記第1及び第2の複数の抵抗の他端に上記第1のスイッチ群と連動して供給する第2のスイッチ群とを備え、上記第1及び第2のスイッチ群が上記第1及び第2の複数の抵抗の両端に上記最高電圧及び最低電圧を供給する場合には、上記第1及び第2の複数の抵抗の隣接する抵抗の接続点のうち、いずれかに上記最高電圧と上記最低電圧との中間電圧の少なくとも1個が印加されることを特徴としている。

【0026】また、請求項8記載の発明は、請求項4乃至7のいずれか1に記載の液晶ディスプレイの駆動回路に係り、上記階調電圧選択回路は、電源電圧から接地電圧までにわたる複数の階調電圧のうち、高圧側の複数の階調電圧がそれぞれ印加される複数のDチャネルのMOSTランジスタと、低圧側の複数の階調電圧がそれぞれ印加される複数のNチャネルのMOSTランジスタとを備え、上記デジタル映像データに基づいて、いずれか1個のMOSTランジスタがオンして対応する階調電圧を出力することを特徴としている。

【0027】また、請求項9記載の発明は、請求項4乃至8のいずれか1に記載の液晶ディスプレイの駆動回路に係り、上記出力回路は、上記選択された1個の階調電圧を増幅する第1の増幅器と、上記第1の増幅器の出力端に設けられた第3のスイッチと、直列接続された上記第1の増幅器及び上記第3のスイッチの両端に並列接続された第4のスイッチとを備え、1水平同期周期の略中央の所定期間は、上記第3のスイッチをオンして上記第1の増幅器が増幅した階調電圧を上記データ信号として対応するデータ電極に印加し、上記略中央の所定期間以降の期間では、上記第3のスイッチをオフするとともに、上記第4のスイッチをオンし、上記選択した1個の階調電圧をそのまま上記データ信号として対応するデータ電極に印加し、かつ、上記第1の増幅器のバイアス電流を遮断して非動作状態とすることを特徴としている。

【0028】また、請求項10記載の発明は、請求項4記載の液晶ディスプレイの駆動回路に係り、上記出力回路は、定電流回路と、上記定電流回路から供給されるバイアス電流を増幅する第2の増幅器と、上記第2の増幅器の出力端に設けられた第5のスイッチと、直列接続された上記第2の増幅器及び上記第5のスイッチの両端に

並列接続された第6のスイッチとを有するバイアス電流制御回路を備え、上記略中央の所定期間の間、上記定電流回路が定電流動作を行い、上記略中央の所定期間の前半は、上記第5のスイッチをオンして上記第2の増幅器が増幅したバイアス電流を上記第1の増幅器へ供給し、上記略中央の所定期間の後半では、上記第5のスイッチをオフするとともに、上記第6のスイッチをオンし、上記定電流回路からのバイアス電流をそのまま上記第1の増幅器へ供給することを特徴としている。

【0029】また、請求項11記載の発明は、請求項10記載の液晶ディスプレイの駆動回路に係り、上記1水平同期周期が $60 \sim 70 \mu\text{sec}$ である場合、上記略中央の所定期間は $10 \mu\text{sec}$ であり、上記略中央の所定期間以降の期間は $30 \mu\text{sec}$ であることを特徴としている。

【0030】また、請求項12記載の発明は、請求項4乃至11のいずれか1に記載の液晶ディスプレイの駆動回路に係り、上記データラッチは、水平同期信号と同一周期のストロブ信号に同期して、上記デジタル映像データを取り込み、1水平同期期間の間、取り込んだ上記デジタル映像データを保持するラッチと、上記ラッチの出力データを所定の電圧に変換するレベルシフタと、上記極性信号に基づいて、上記レベルシフタの出力データをそのまま出力するか、あるいは反転して出力するイクスクルーシブオアゲートとを備えてなることを特徴としている。

【0031】また、請求項13記載の発明は、請求項4乃至11のいずれか1に記載の液晶ディスプレイの駆動回路に係り、上記データラッチは、水平同期信号と同一周期のストロブ信号に同期して、上記デジタル映像データを取り込み、1水平同期期間の間、取り込んだ上記デジタル映像データを保持するラッチと、上記ラッチの出力データを所定の電圧に変換した第1のデータと、電圧変換とともに反転をも行った第2のデータとを出力するレベルシフタと、上記極性信号に基づいて、上記第1のデータ又は上記第2のデータのいずれか一方を出力する出力切換手段とを備えてなることを特徴としている。

【0032】また、請求項14記載の発明に係る携帯用電子機器は、請求項4乃至13のいずれか1に記載の液晶ディスプレイの駆動回路を備えてなることを特徴としている。

【0033】

【作用】この発明の構成によれば、表示画面が比較的小さい表示部として用いられる液晶ディスプレイをライン反転駆動方式やフレーム反転駆動方式により駆動する場合に、消費電力の低減、実装面積や実装部品の削減をすることができるとともに、高品質の画質を得ることができ

【0034】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用い

て具体的に行う。

A. 第1の実施例

まず、この発明の第1の実施例について説明する。図1は、この発明の第1の実施例であるカラー液晶ディスプレイ1の駆動回路の構成を示すブロック図である。この図において、図20の各部に対応する部分には同一の符号を付け、その説明を省略する。図1に示すカラー液晶ディスプレイ1の駆動回路においては、図20に示す制御回路2及びデータ電極駆動回路5に換えて、制御回路50及びデータ電極駆動回路32が新たに設けられているとともに、階調電源3が取り除かれている。この例でも、カラー液晶ディスプレイ1の解像度が 176×220 画素であるとするので、そのドット画素数は、 528×220 画素となる。制御回路50は、例えば、ASICからなり、上記した制御回路2が有する機能の他、チップセレクト信号CSを生成してデータ電極駆動回路32へ供給する機能を有している。チップセレクト信号CSは、データ電極駆動回路32を標準モードに設定する場合に“L”レベルとなり、データ電極駆動回路32をバランスク補正モードに設定する場合に“H”レベルとなる信号である。標準モード及びバランスク補正モードについては後述する。

【0035】図2は、データ電極駆動回路32の構成を示すブロック図である。この図において、図22の各部に対応する部分には同一の符号を付け、その説明を省略する。図2に示すデータ電極駆動回路32においては、図22に示す制御回路15、データラッチ16、階調電圧発生回路17及び階調電圧選択回路18に換えて、制御回路33、データラッチ34、階調電圧発生回路35及び階調電圧選択回路36が新たに設けられているとともに、極性選択回路37が付け加えられている。制御回路33は、制御回路50から供給されるストロブ信号STBと極性信号POLとに基づいて、ストロブ信号STBを所定時間遅延したストロブ信号STB₁と、極性信号POLを所定時間遅延した極性信号POL₁と、ストロブ信号STB₁と逆相の関係にあるスイッチ制御信号SWAと、極性選択回路37を制御するためのスイッチ切換信号SSWP及びSSWNとを生成する。制御回路33は、ストロブ信号STB₁及び極性信号POL₁をデータラッチ34へ供給し、スイッチ制御信号SWAを出力回路19へ供給し、スイッチ切換信号SSWP及びSSWNを極性選択回路37へ供給する。

【0036】データラッチ34は、制御回路33から供給されるストロブ信号STB₁の立ち上がりと同時に、データレジスタ14から供給される表示データPD₁～PD₅₂₈を取り込み、次にストロブ信号STB₁が供給されるまで、すなわち、1水平同期期間の間、取り込んだ表示データPD₁～PD₅₂₈を保持する。次に、データラッチ34は、保持した表示データPD₁

～PD₅₂₈を所定の電圧に変換した後、極性信号POL₁に基づいて、所定の電圧に変換されただけの表示データPD₁～PD₅₂₈又は所定の電圧に変換された後反転された表示データPD₁～PD₅₂₈を表示データPD₁～PD₅₂₈として階調電圧選択回路36へ供給する。ここで、図3にデータラッチ34の一部の構成を示す。データラッチ34は、528個のデータラッチ部34₁～34₅₂₈から構成されている。データラッチ部34₁～34₅₂₈は、各構成要素の添え字が異なるとともに、入出力される信号の添え字が異なる以外は同一構成であるので、以下ではデータラッチ部34₁についての説明する。データラッチ部34₁は、図3に示すように、ラッチ38₁と、レベルシフト39₁と、インバータ40₁と、イクスクループオアゲート41₁とから構成されている。ラッチ38₁は、ストロブ信号STB₁の立ち上がりに同期して、6ビットパラレルの表示データPD₁を同時に取り込み、次にストロブ信号STB₁が供給されるまで保持する。レベルシフト39₁は、ラッチ38₁の6ビットパラレルの出力データの電圧を3Vから5Vに変換する。インバータ40₁は、極性信号POL₁を反転する。イクスクループオアゲート41₁は、極性信号POL₁が“H”レベルの時、すなわち、インバータ40₁の出力信号が“L”レベルの時、レベルシフト39₁の6ビットパラレルの出力データをそのまま正極性の表示データPD₁として出力し、極性信号POL₁が“L”レベルの時、すなわち、インバータ40₁の出力信号が“H”レベルの時、レベルシフト39₁の6ビットパラレルの出力データを反転して負極性の表示データPD₁として出力する。このように、極性信号POL₁に応じて表示データPD₁～PD₅₂₈をそのまま出力したり、反転して出力することにより、従来のように、極性信号POL₁に応じて階調電圧V₁～V₆₄の極性を切り換える必要がない。したがって、階調電圧発生回路35においては、図4に示すように、階調電圧V₁～V₆₄の極性自体は固定している。また、レベルシフト39₁を設けているのは、以下に示す理由による。すなわち、データ電極駆動回路32は、消費電力の削減及びそのチップサイズの縮小化を目的として、シフトレジスタ12、データバッファ13、データレジスタ14、制御回路33及びデータラッチ34の電源電圧を3Vとしている。一方、カラー液晶ディスプレイ1は、一般に5Vで動作するので、階調電圧選択回路36及び出力回路19は0V～5Vの範囲で動作するように設定されている。したがって、ラッチ38₁の出力データの電圧が3Vのままでは階調電圧選択回路36及び出力回路19を駆動することができない。そこで、レベルシフト39₁を設けてラッチ38₁の出力データの電圧を3Vから5Vに変換しているのである。

【0037】図2に示す階調電圧発生回路35は、図4に示すように、例えば、249個の抵抗42₁～42

249と、PチャネルのMOSTランジスタ43と、NチャネルのMOSTランジスタ44と、インバータ45とから構成されている。抵抗421~42249は、同一の抵抗値 r を有し、縦続接続されている。MOSTランジスタ43は、ソースに電源電圧 V_{DD} が印加され、ゲートに制御回路50から供給されるチップセレクト信号CSが印加され、ドレインが抵抗421の一端に接続されている。MOSTランジスタ44は、ドレインが抵抗42249の一端に接続され、ゲートにインバータ45の出力信号が印加され、ソースが接地されている。インバータ45にはチップセレクト信号CSが入力されている。この例の階調電圧発生回路35は、上記したように、液晶セルの印加電圧-透過率特性が正極性の印加電圧の場合と負極性の印加電圧の場合とで異なることに対応して、極性選択回路37から正極性用の階調電圧 $V_{11} \sim V_{64}$ と、負極性用の階調電圧 $V_{11} \sim V_{64}$ とを出力するために、251個もの分圧電圧を出力するように構成されている。さらに、この例の階調電圧発生回路35は、外部に設けられた階調電源から階調電圧を供給されることなくデータ電極駆動回路42内部だけで正極性用の階調電圧 $V_{11} \sim V_{64}$ 及び負極性用の階調電圧 $V_{11} \sim V_{64}$ として出力するべき分圧電圧を出力する標準モードと、従来と同様、外部に設けられた階調電源から5個の階調電圧 $V_{11} \sim V_{15}$ が供給されて正極性用の階調電圧 $V_{11} \sim V_{64}$ 及び負極性用の階調電圧 $V_{11} \sim V_{64}$ として出力するべき分圧電圧を出力するバツキ補正モードとがある。

【0038】標準モードの場合、制御回路50から“L”レベルのチップセレクト信号CSが供給され、MOSTランジスタ43及び44がともにオンする。これにより、縦続接続された抵抗421~42249の一端に電源電圧 V_{DD} が印加されるとともに、他端が接地され、電源電圧 V_{DD} と接地との間の電圧を抵抗421~42249によって分圧して得られた251個の分圧電圧が出力される。したがって、カラー液晶ディスプレイ1の印加電圧-透過率特性が判明した段階で、その特性に適合するように、251個の分圧電圧の中から予めいずれの電圧を正極性用の階調電圧 $V_{11} \sim V_{64}$ 及び負極性用の階調電圧 $V_{11} \sim V_{64}$ として取り出すかを設定しておけば良い。一方、バツキ補正モードの場合、制御回路50から“H”レベルのチップセレクト信号CSが供給され、MOSTランジスタ43及び44がともにオフするとともに、外部に設けられた階調電源から5個の階調電圧 $V_{11} \sim V_{15}$ が供給される。これにより、階調電圧 V_{11} が抵抗421の一端に、階調電圧 V_{12} が抵抗4263と抵抗4264との接続点に、階調電圧 V_{13} が抵抗42125と抵抗42126との接続点に、階調電圧 V_{14} が抵抗42187と抵抗42188との接続点に、階調電圧 V_{15} が抵抗42249の一端に印加される。したがって、5個の階調電圧 $V_{11} \sim V_{15}$ が抵抗

421~42249の抵抗比に応じて分圧して得られた251個の電圧が出力される。つまり、このバツキ補正モードにおいては、個々のカラー液晶ディスプレイ1の印加電圧-透過率特性にバツキが大きいため、上記標準モードによって設定された251個の分圧電圧だけでは各カラー液晶ディスプレイ1の印加電圧-透過率特性に十分に適合することができない場合を想定している。このバツキ補正モードにおいては、その場合であっても、個々のカラー液晶ディスプレイ1の印加電圧-透過率特性に応じた正極性用の階調電圧 $V_{11} \sim V_{64}$ 及び負極性用の階調電圧 $V_{11} \sim V_{64}$ を設定するための分圧電圧を出力することができる。もっとも、階調電源を外部に設けるといっても、供給される階調電圧 $V_{11} \sim V_{15}$ を階調電圧発生回路35内部において250個の電圧に分圧するので、従来のように9個もの階調電圧 $V_{11} \sim V_{19}$ は必要ない。この例のように最大でも5個、最小では3個の階調電圧 $V_{11} \sim V_{13}$ を外部に設けられた階調電源において発生させれば、各カラー液晶ディスプレイ1の印加電圧-透過率特性に十分に適合させることができる。したがって、階調電源を制御回路50とともにプリント基板に実装してもその実装面積を従来より削減することができる。さらに、この例の階調電圧発生回路35を有するデータ電極駆動回路42をICで構成する場合には、抵抗421~42249を形成するためのマスクを共通に使用することができるという汎用性がある。したがって、カラー液晶ディスプレイ1の印加電圧-透過率特性が判明した段階で、いずれの抵抗間の電圧を階調電圧として取り出すかを配線をつなぐことにより設定することができる。また、各抵抗421~42249は、アルミニウムを用いてICの上層のアルミニウム配線層に形成することができるという利点がある。

【0039】図2に示す極性選択回路37は、スイッチ群46a及び46bから構成され、スイッチ切換信号SSWP及びSSWNに基づいて、1ラインごとに、正極性用の階調電圧 $V_{11} \sim V_{64}$ と、負極性用の階調電圧 $V_{11} \sim V_{64}$ とを切り替えて出力する。スイッチ群46aは、64個のスイッチからなる。スイッチ群46aを構成する各スイッチの一端は、カラー液晶ディスプレイ1の正極性の印加電圧-透過率特性に応じて、縦続接続された抵抗421~42249の対応する各抵抗の接続点と予め接続されている。スイッチ群46aを構成する各スイッチは、制御回路33から供給されるスイッチ切換信号SSWPが“H”レベルの時に一斉にオンして、抵抗421~42249の対応する各抵抗の接続点間に出現した64個の電圧を正極性用の階調電圧 $V_{11} \sim V_{64}$ として出力する。スイッチ群46bは、64個のスイッチからなる。スイッチ群46bを構成する各スイッチの一端は、カラー液晶ディスプレイ1の負極性の印加電圧-透過率特性に応じて、縦続接続された抵抗421~422

249の対応する各抵抗の接続点と予め接続されている。スイッチ群46bを構成する各スイッチは、制御回路33から供給されるスイッチ切換信号SSWNが“H”レベルの時に一斉にオンして、抵抗421~42249の対応する各抵抗の接続点間に出現した64個の電圧を負極性の階調電圧V1~V64として出力する。

【0040】図2に示す階調電圧選択回路36は、図5に示すように、階調電圧選択部361~36528から構成されており、極性選択回路37から供給される正極性用又は負極性用の階調電圧V1~V64が各階調電圧選択部361~36528に並列的に供給されている。各階調電圧選択部361~36528は、対応するデジタルの6ビットの表示データPD'1~PD'528の値に基づいて、64個の正極性用又は負極性用の階調電圧V1~V64の中から1個の階調電圧を選択し、出力回路19の対応する増幅器に供給する。階調電圧選択部361~36528は、同一構成であるので、以下では階調電圧選択部361についての説明する。階調電圧選択部361は、図6に示すように、MPX47と、PチャネルのMOSTランジスタ481~4832と、NチャネルのMOSTランジスタ491~4932とから構成されている。MPX47は、対応する6ビットの表示データPD'1の値に基づいて、64個のMOSTランジスタ481~4832及び491~4932のいずれか1個をオンさせる。各MOSTランジスタ481~4832及び491~4932は、MPX47によりオンされ、対応する階調電圧をデータ赤信号、データ緑信号、あるいはデータ青信号として出力する。なお、各々32個のMOSTランジスタ48及び49の個数については、各々の特性に応じて適宜一方の個数を増やし、その分だけ他方の個数を減らしても良い。出力回路19は、図5に示すように、528個の出力部191~19528とからなる。各出力部191~19528は、それぞれ対応する増幅器301~30528と、各増幅器301~30528の後段に設けられた528個のスイッチ311~31528とから構成されている。出力回路19は、階調電圧選択回路36から供給される対応するデータ赤信号、データ緑信号、データ青信号を増幅した後、制御回路33から供給されるスイッチ制御信号SWAによってオンされたスイッチ311~31528を介してカラー液晶ディスプレイ1の対応するデータ電極に印加する。図6には、表示データPD'1に対応するデータ赤信号S1を出力するために設けられた増幅器301と、スイッチ311とを示している。

【0041】次に、上記構成の液晶ディスプレイの駆動回路の動作のうち、制御回路50、共通電源4及びデータ電極駆動回路32の動作について、図7に示すタイミング・チャートを参照して説明する。なお、データ電極駆動回路32は、制御回路50から“L”レベルのチップセレクト信号CSが常時供給されており、標準モードに

設定されているものとする。まず、制御回路50は、図示せぬクロックCLKと、図7(1)に示すストロブ信号STBと、図7(2)に示すように、ストロブ信号STBよりクロックCLKのバルス数個分遅延された水平スタートパルスSTHと、図7(3)に示す極性信号POLとをデータ電極駆動回路32へ供給する。これにより、データ電極駆動回路32のシフトレジスタ12は、クロックCLKに同期して、水平スタートパルスSTHをシフトするシフト動作を行うとともに、176ビットのパラレルのサンプリングパルスSP1~SP176を出力する。これと同時に、制御回路50は、外部から供給される各6ビットの赤データDR、緑データDG、青データDBを18ビットの表示データD00~D05、D10~D15、D20~D25に変換してデータ電極駆動回路32へ供給する(図示略)。これにより、18ビットの表示データD00~D05、D10~D15、D20~D25は、データ電極駆動回路32のデータバッファ13において、クロックCLKより所定時間遅延されたクロックCLK1に同期してクロックCLK1のバルス1個分保持された後、表示データD'00~D'05、D'10~D'15、D'20~D'25としてデータレジスタ14へ供給される。したがって、表示データD'00~D'05、D'10~D'15、D'20~D'25は、シフトレジスタ12から供給されるサンプリングパルスSP1~SP176に同期して順次表示データPD1~PD528としてデータレジスタ14に取り込まれた後、ストロブ信号STB1の立ち上がりと一緒にデータラッチ34に取り込まれ、各ラッチ381~38528(図3にはラッチ381のみ示す)において1水平同期期間の間、保持される。

【0042】データラッチ34の各ラッチ381~38528において1水平同期期間の間保持された表示データPD1~PD528は、レベルシフタ391~39528においてその電圧が3Vから5Vに変換された後、図7(3)に示す極性信号POLが“H”レベルの時は、イクスクルーシブオアゲート411~41528からそのまま正極性の表示データPD'1~PD'528として出力され、極性信号POLが“L”レベルの時は、イクスクルーシブオアゲート411~41528と反転されて負極性の表示データPD'1~PD'528として出力される。一方、図4に示す階調電圧発生回路35においては、上記したように、制御回路50から“L”レベルのチップセレクト信号CSが供給され、標準モードに設定されているので、MOSTランジスタ43及び44がともにオンしている。これにより、縦続接続された抵抗421~42249の一端に電源電圧VDDが印加されるとともに、他端が接地され、電源電圧VDDと接地との間の電圧を抵抗421~42249によって分圧して得られた251個の電圧が出力される。また、図7(3)に示す極性信号POLが“H”レベルの時は、制御

回路33から図7(5)に示すタイミングでHレベルのスイッチ切換信号SSWPが、図7(6)に示すタイミングでLレベルのスイッチ切換信号SSWNがそれぞれ極性選択回路37へ供給される。したがって、図4に示す極性選択回路37においては、上記スイッチ切換信号SSWP及びSSWNに基づいて、スイッチ群46aが一齐にオンするとともに、スイッチ群46bが一齐にオフする。これにより、抵抗421~42249の対応する各抵抗の接続点間に出現した64個の電圧が正確性の階調電圧V1~V64として出力され、階調電圧選択回路36へ供給される。

【0043】したがって、階調電圧選択回路36の各階調電圧選択部361~36528において、MPX47が対応する6ビットのそのままの表示データPD'1~PD'528の値に基づいて、64個のMOSTランジスタ481~4832及び491~4932のいずれか1個をオンする。これにより、オンしたMOSTランジスタから対応する正確性の階調電圧がデータ赤信号、データ緑信号、データ青信号として出力される。データ赤信号、データ緑信号及びデータ青信号は、出力回路19の対応する増幅器301~30528において増幅される。次に、増幅器301~30528の出力データは、図7(1)に示すストロブ信号STBが立ち下がるタイミングで立ち上がるスイッチ制御信号SWA(図7(7)参照)によってオンされたスイッチ311~31528を経て、データ赤信号、データ緑信号及びデータ青信号S1~S528として、カラー液晶ディスプレイ1の対応するデータ電極に印加される。図7(8)には、表示データPD1の値が「000001」である場合のデータ赤信号S1の波形の一例を示している。この場合、図3に示すデータラッチ部341からは、表示データPD1の値「000000」は、そのまま表示データPD'1の値として出力される。したがって、階調電圧選択部361において、MPX47が対応する表示データPD'1の値「000000」に基づいて、MOSTランジスタ481をオンし、最も電源電圧VDDに近い正確性の階調電圧V1がデータ赤信号S1として出力される。図7(8)において、ストロブ信号STBがHレベルの時にデータ赤信号S1を点線で示しているのは、スイッチ311がオフされており、出力部191から出力されるデータ赤信号S1によりカラー液晶ディスプレイ1の対応するデータ電極に印加される電圧は、ハインビーダンス状態にあるからである。一方、共通電源4は、「H」レベルの極性信号POLに基づいて、図7(4)に示すように、共通電位Vcomを接地レベル(GND)としてカラー液晶ディスプレイ1の共通電極に印加する。したがって、ノーマリー・ホワイト型であるカラー液晶ディスプレイ1の対応する画素には黒レベルが表示される。

【0044】一方、図7(3)に示す極性信号POL

がLレベルの時は、上記したように、データラッチ34の各ラッチ381~38528において1水平同期期間の間保持された表示データPD1~PD528は、レベルシフト391~39528においてその電圧が3Vから5Vに変換された後、イクスクルーシブオアゲート411~41528により反転されて負極性の表示データPD'1として出力される。また、図4に示す階調電圧発生回路35においては、標準モードに設定されているので、MOSTランジスタ43及び44がともにオンしている。これにより、縦続接続された抵抗421~42249の一端に電源電圧VDDが印加されるとともに、他端が接地され、電源電圧VDDと接地との間の電圧を抵抗421~42249によって分圧して得られた251個の電圧が出力される。さらに、図7(3)に示す極性信号POLがLレベルの時は、制御回路33から図7(5)に示すタイミングでLレベルのスイッチ切換信号SSWPが、図7(6)に示すタイミングでHレベルのスイッチ切換信号SSWNがそれぞれ極性選択回路37へ供給される。したがって、図4に示す極性選択回路37においては、上記スイッチ切換信号SSWP及びSSWNに基づいて、スイッチ群46aが一齐にオンするとともに、スイッチ群46bが一齐にオンする。これにより、抵抗421~42249の対応する各抵抗の接続点間に出現した64個の電圧が負極性の階調電圧V1~V64として出力され、階調電圧選択回路36へ供給される。

【0045】したがって、階調電圧選択回路36の各階調電圧選択部361~36528において、MPX47が対応する6ビットの反転された表示データPD'1~PD'528の値に基づいて、64個のMOSTランジスタ481~4832及び491~4932のいずれか1個をオンする。これにより、オンしたMOSTランジスタから対応する負極性の階調電圧がデータ赤信号、データ緑信号、データ青信号として出力される。データ赤信号、データ緑信号及びデータ青信号は、出力回路19の対応する増幅器301~30528において増幅される。次に増幅器301~30528の出力データは、図7(1)に示すストロブ信号STBが立ち下がるタイミングで立ち上がるスイッチ制御信号SWA(図7(7)参照)によってオンされたスイッチ311~31528を経て、データ赤信号、データ緑信号及びデータ青信号S1~S528として、カラー液晶ディスプレイ1の対応するデータ電極に印加される。図7(8)には、表示データPD1の値が「000001」である場合のデータ赤信号S1の波形の一例を示している。この場合、図3に示すデータラッチ部341においては、表示データPD1の値「000000」は、反転され、値「111111」を有する表示データPD'1として出力される。したがって、階調電圧選択部361において、MPX47が対応する表示データPD'1の値「1

11111」に基づいて、MOSTランジスタ4932がオンし、最も接地GNDに近い負極性の階調電圧V64がデータ赤信号S1として出力される。一方、共通電圧4は、「L」レベルの極性信号POLに基づいて、図7(4)に示すように、共通電圧Vcomを電源電圧レベル(VDD)としてカラー液晶ディスプレイ1の共通電極に印加する。したがって、ノーマリー・ホワイト型であるカラー液晶ディスプレイ1の対応する画素には同じく黒レベルが表示される。なお、極性選択回路37を構成するスイッチ群46aとスイッチ群46bとを同時にオン/オフすることにより、不定の階調電圧V1~V64が出力されてしまう危険性がある場合には、図7(5)に示すスイッチ切換信号SSWPの立ち上がり及び立ち下りのタイミングと、図7(6)に示すスイッチ切換信号SSWNの立ち上がり及び立ち下りのタイミングとをずらすようにすれば良い。

【0046】このように、この例の構成によれば、従来のように、極性信号POLに応じて階調電圧V1~V64の極性にラインごとに切り換える換わりに、極性信号POLに応じて1ラインごとに表示データPD'1~PD'528をそのまま出力したり、反転して出力している。したがって、階調電圧選択回路36の各階調電圧選択部361~36528を従来のようにトランスファゲートにより構成する必要がなく、図6に示すように、高電圧側をPチャネルのMOSTランジスタ481~4832で構成し、低電圧側をNチャネルのMOSTランジスタ491~4932で構成することができる。これにより、各階調電圧選択部361~36528の素子数を約半分に削減することができる。また、標準モードの場合には、データ電極駆動回路32の外部に階調電源を設ける必要がない。さらに、バランスキ正モードの場合であっても、供給すべき階調電圧は最大でも5個であり、階調電源を1Cで構成した場合でも、そのチップサイズは従来に比べて小さい。したがって、プリント基板の実装面積を削減することができるとともに、階調電圧選択回路36を有するデータ電極駆動回路32を構成する1Cの回路規模が小さくなってチップサイズを削減することができる。これにより、上記したノート型、パーム型、ポケット型等のコンピュータ、PDA、あるいは携帯電話、PHSなど、バッテリー等により駆動される携帯用電子機器の小型化・軽量化を促進することができる。

【0047】また、この例の構成によれば、上記したように、階調電圧選択回路36の各階調電圧選択部361~36528をMOSTランジスタ481~4832及びMOSTランジスタ491~4932で構成するので、それらの寄生容量が半減し、これに伴って階調電圧発生回路35及び階調電圧選択回路36における消費電力は、従来の2.125mWから約半になる。これにより、上記携帯用電子機器の消費電力を削減することが

でき、それらの使用可能時間も長くなる。また、この例の構成によれば、階調電圧発生回路35を構成する抵抗421~42249に流れる放電電流の量も時間も削減することができるので、従来のように、カラー液晶ディスプレイ1に表示された画面のコントラストが悪くなるということはない。また、この例の構成によれば、液晶セルの印加電圧→透過率特性が正極性の印加電圧の場合と負極性の印加電圧の場合とで異なることに対応して、正極性の階調電圧V1~V64と、負極性の階調電圧V1~V64とを出力するようにしたので、色補正を容易に行うことができ、高品質の画質を得ることができる。

【0048】B. 第2の実施例

次に、この発明の第2の実施例について説明する。図8は、この発明の第2の実施例であるカラー液晶ディスプレイ1の駆動回路の構成を示すブロック図である。この図において、図1の各部に対応する部分には同一の符号を付け、その説明を省略する。図8に示すカラー液晶ディスプレイ1の駆動回路においては、図1に示す制御回路2及びデータ電極駆動回路32に換えて、制御回路51及びデータ電極駆動回路52が新たに設けられている。この例でも、カラー液晶ディスプレイ1の解像度が176×220画素であるとするので、そのドット画素数は、528×220画素となる。制御回路51は、例えば、ASICからなり、上記した制御回路50が有する機能のうち、チップセレクト信号CSを生成する機能に換えて、増幅器制御信号VSを生成してデータ電極駆動回路52へ供給する機能を一有している。増幅器制御信号VSは、データ電極駆動回路52の出力回路56を構成する各増幅器611~61528を動作状態とするために、1水平同期期間のうち、略中央の所定期間(例えば、約10μsec)だけ「H」レベルとなり、この期間以外は各増幅器611~61528を非動作状態とするために「L」レベルとなる信号である。

【0049】図9は、データ電極駆動回路52の構成を示すブロック図である。この図において、図2の各部に対応する部分には同一の符号を付け、その説明を省略する。図9に示すデータ電極駆動回路52においては、図2に示す制御回路33、データラッチ34、階調電圧発生回路35及び出力回路19に換えて、制御回路53、データラッチ54、階調電圧発生回路55及び出力回路56が新たに設けられている。制御回路53は、制御回路51から供給されるストロブ信号STB、極性信号POL及び増幅器制御信号VSに基づいて、ストロブ信号STB1と、極性信号POL1と、増幅器制御信号VS1~VS3と、スイッチ制御信号SWA及びSWSと、スイッチ切換信号SSWP及びSSWNとを生成する。ストロブ信号STB1はストロブ信号STBを所定時間遅延した信号であり、極性信号POL1は極性信号POLを所定時間遅延した信号である。増幅器制御

信号 VS_1 は増幅器制御信号 VS を所定時間遅延した信号であり、1 水平同期期間のうち、略中央の所定期間

(例えば、約 $1.0 \mu\text{sec}$) だけ " H " レベルとなる信号である。増幅器制御信号 VS_2 は、増幅器制御信号 VS_1 が " L " レベルから " H " レベルに立ち上がるのと略同時に " H " レベルに立ち上がる信号である。さらに、増幅器制御信号 VS_2 は、出力回路 56 を構成するバイアス電流制御回路 67 から各出力部 561 ~ 565 28 へ供給されるバイアス電圧が安定した後 (例えば、約 $3 \mu\text{sec}$) に " L " レベルに立ち下がる信号である。増幅器制御信号 VS_3 は、増幅器制御信号 VS_2 が " H " レベルから " L " レベルに立ち下がるのと略同時に " H " レベルに立ち上がり、例えば、約 $7 \mu\text{sec}$ 経過後、増幅器制御信号 VS_1 が " H " レベルから " L " レベルに立ち下がるのと略同時に " L " レベルに立ち下がる信号である。スイッチ制御信号 SWA は、増幅器制御信号 VS_1 を所定時間遅延した信号である。スイッチ制御信号 SWB が " H " レベルから " L " レベルに立ち下がるのと略同時に " H " レベルに立ち上がり、例えば、約 $3.0 \mu\text{sec}$ 経過後、1 水平同期期間の終了と略同時に " L " レベルに立ち下がる信号である。スイッチ切換信号 $SSWP$ 及び $SSWN$ は、極性選択回路 37 を制御するための信号である。制御回路 53 は、ストロブ信号 STB_1 及び極性信号 POL_1 をデータラッチ部 54 へ供給し、増幅器制御信号 VS_1 ~ VS_3 、スイッチ制御信号 SWA 及び SWB を出力回路 56 へ供給し、スイッチ切換信号 $SSWP$ 及び $SSWN$ を極性選択回路 37 及び階調電圧発生回路 55 へ供給する。

【0050】データラッチ部 54 は、制御回路 53 から供給されるストロブ信号 STB_1 の立ち上がりと同時に、データレジスタ 14 から供給される表示データ PD_1 ~ PD_528 を取り込み、次にストロブ信号 STB_1 が供給されるまで、すなわち、1 水平同期期間の間、取り込んだ表示データ PD_1 ~ PD_528 を保持した後、所定の電圧に変換する。また、データラッチ部 54 は、極性信号 POL_1 に基づいて、所定の電圧に変換されただけの表示データ PD_1 ~ PD_528 又は所定の電圧に変換された後反転された表示データ PD_1 ~ PD_528 を表示データ PD'_1 ~ PD'_528 として階調電圧選択回路 36 へ供給する。ここで、図 10 にデータラッチ部 54 の一部の構成を示す。データラッチ部 54 は、528 個のデータラッチ部 541 ~ 54528 から構成されている。データラッチ部 541 ~ 54528 は、各構成要素の添え字が異なるとともに、入出力される信号の添え字が異なる以外は同一構成であるので、以下ではデータラッチ部 541 についてのみ説明する。データラッチ部 541 は、図 10 に示すように、ラッチ 571 と、レベルシフト 581 と、切換手段 591 と、インバータ 601 及び 611 とから構成されている。ラッチ 571 は、ストロブ信号 STB_1 の立ち上がりと同時に、

6 ビットの表示データ PD_1 を取り込み、次にストロブ信号 STB_1 が供給されるまで保持する。レベルシフト 581 は、ラッチ 571 の出力データの電圧を 3V から 5V に変換したデータと、電圧変換とともに反転をも行ったデータとを出力する。切換手段 591 は、スイッチ 591a 及び 591b とからなる。切換手段 591 は、極性信号 POL_1 が " H " レベルの時にスイッチ 591a がオンしてレベルシフト 581 から供給されるデータを出し、極性信号 POL_1 が " L " レベルの時にスイッチ 591b がオンしてレベルシフト 581 から供給されるデータを出力する。インバータ 601 は、切換手段 591 から供給されるデータを反転し、インバータ 611 は、インバータ 601 から供給されるデータを反転して表示データ PD'_1 として出力する。すなわち、データラッチ部 541 は、極性信号 POL_1 が " H " レベルの時に正極性の表示データ PD'_1 を出力し、極性信号 POL_1 が " L " レベルの時に負極性の表示データ PD'_1 を出力する。つまり、このデータラッチ部 541 は、図 1 に示すデータラッチ部 341 と同一の機能を有している。しかし、このデータラッチ部 541 は、データラッチ部 341 よりも部品点数が少ないため、より一層実装部品を削減することができる。

【0051】図 9 に示す階調電圧発生回路 55 は、図 11 に示すように、抵抗 621 ~ 6265 及び 631 ~ 6365 と、スイッチ 64a、64b、65a 及び 65b とから構成されている。抵抗 621 ~ 6265 は、カラー液晶ディスプレイ 1 の正極性の印加電圧に対する透過率特性に適合するように、それぞれ抵抗値が異なって連続接続されている。一方、抵抗 631 ~ 6365 は、カラー液晶ディスプレイ 1 の負極性の印加電圧に対する透過率特性に適合するように、それぞれ抵抗値が異なって連続接続されている。さらに、抵抗 621 ~ 6265 と抵抗 631 ~ 6365 のそれぞれの全体の抵抗値の分布も異なっている。これにより、より精確な階調電圧 (例えば、階調電圧 V_{32} として $2.020V$ を、階調電圧 V_{33} として $2.003V$ など) を発生させることができる。この点、上記した第 1 の実施例においては、図 4 に示す階調電圧発生回路 35 は、一定の電圧値間隔 (例えば、 $20mV$ 間隔) だけでしか階調電圧を設定することができない。この点、電圧値間隔を狭めることが考えられるが、抵抗 42 の個数が増加してしまう。スイッチ 64a は、一端に電源電圧 V_{DD} が印加されるとともに、他端が抵抗 621 の一端に接続され、制御回路 53 から供給されるスイッチ切換信号 $SSWP$ が " H " レベルの時にオンして、連続接続された抵抗 621 ~ 6265 の一端に電源電圧 V_{DD} を印加する。スイッチ 64b は、一端に電源電圧 V_{DD} が印加されるとともに、他端が抵抗 631 の一端に接続され、制御回路 53 から供給されるスイッチ切換信号 $SSWN$ が " H " レベルの時にオンして、連続接続された抵抗 631 ~ 6365 の一端

に電源電圧 V_{DD} を印加する。スイッチ65aは、一端が接地されるとともに、他端が抵抗6265の一端に接続され、スイッチ切換信号 $SSWP$ が H^* レベルの時にオンして、縦続接続された抵抗621~6265の他端を接地する。スイッチ65bは、一端が接地されるとともに、他端が抵抗6365の一端に接続され、スイッチ切換信号 $SSWN$ が H^* レベルの時にオンし、縦続接続された抵抗631~6365の他端を接地する。なお、図11において、極性選択回路37は、図4に示す極性選択回路37と同一構成及び同一機能であるので、その説明を省略する。この例の階調電圧発生回路55においては、図4に示す階調電圧発生回路35のように標準モードとバツキ補正モードとを切り換える機能は付与されていない。しかし、制御回路51に上記したチップセレクト信号 CS を生成する機能を付加するとともに、階調電圧発生回路55に、図4に示すMOSTランジスタ43及び44、インバータ45等の若干の部品を追加するだけで、階調電圧発生回路55に標準モードとバツキ補正モードとを切り換える機能を付与することはできる。

【0052】図9に示す出力回路56は、図12に示すように、528個の出力部561~56528と、バイアス電流制御回路67とから構成されている。各出力部561~56528は、増幅器661~66528と、各増幅器661~66528の後段に設けられたスイッチ681~68528と、各増幅器661~66528の入力端と対応するスイッチ681~68528の出力端との間に並列接続されたスイッチ691~69528とから構成されている。出力回路56は、階調電圧選択回路36から供給される対応するデータ赤信号、データ緑信号、データ青信号を、そのままたは増幅した後、制御回路53から供給されるスイッチ切換信号 SWA 及び SWB によってオンされたスイッチ681~68528又は691~69528を経てカラー液晶ディスプレイ1の対応するデータ電極に印加する。各増幅器661~66528は、バイアス電流制御回路67によってバイアス電流が制御される。図13には、表示データ PD^* 1に対応するデータ赤信号 S_1 を出力するために設けられた、増幅器661と、スイッチ681及び691とからなる出力部561を示している。スイッチ681は、スイッチ切換信号 $SSWA$ が H^* レベルの時にオンし、スイッチ691は、スイッチ切換信号 $SSWB$ が H^* レベルの時にオンする。図14は、バイアス電流制御回路67とバイアス電流制御回路67によってバイアス電流が制御される増幅器661の一部の構成を示す回路図である。バイアス電流制御回路67は、定電流回路70と、増幅器71及び72と、スイッチ73~76と、PチャネルのMOSTランジスタ78と、NチャネルのMOSTランジスタ79とから構成されている。定電流回路70は、制御回路53から供給される増幅器制御信号

VS_1 が H^* レベルの時、定電流動作を行う。また、増幅器制御信号 VS_1 が H^* レベルの時、MOSTランジスタ78及び79はともにオフし、増幅器661の定電流源トランジスタであるMOSTランジスタ80及び81にバイアス電流が供給できる状態とする。増幅器制御信号 VS_1 が H^* レベルに立ち上がると同時に増幅器制御信号 VS_2 が H^* レベルに立ち上がる。これにより、スイッチ73及び74がともにオンし、定電流回路70から供給されるバイアス電流が増幅器71及び72を介して増幅器661のMOSTランジスタ80及び81に高速に供給される。次に、定電流回路70から供給されるバイアス電流が安定すると、増幅器制御信号 VS_2 が L^* レベルに立ち下がり、これと同時に増幅器制御信号 VS_3 が H^* レベルに立ち上がる。これにより、スイッチ73及び74がともにオフすると同時に、スイッチ75及び76がともにオンし、定電流回路70から供給されるバイアス電流が直接増幅器661のMOSTランジスタ80及び81にバイアス電流が供給されるようになる。そして、増幅器制御信号 VS_1 が L^* レベルに立ち下ると、定電流回路70が定電流動作を停止するとともに、MOSTランジスタ78及び79がともにオンして増幅器661のMOSTランジスタ80及び81へのバイアス電流の供給を停止する。また、増幅器制御信号 VS_1 が L^* レベルに立ち下ると同時に増幅器制御信号 VS_3 が L^* レベルに立ち下がるので、スイッチ75及び76がオフする。

【0053】このように、増幅器制御信号 VS が H^* レベルの時にだけ増幅器661~66528にバイアス電流を供給して動作状態とするのは、以下に示す理由による。上記したように、携帯電話やPHSにおいては、解像度が 176×220 画素であるカラー液晶ディスプレイを約60Hzの周波数で駆動する場合、1水平同期周期は $60 \sim 70 \mu\text{sec}$ であるのに対して、カラー液晶ディスプレイ1の実際の駆動時間は1水平同期周期当たり約40 μsec で済む。さらに、この約40 μsec のうち、増幅器661~66528から出力されるデータ信号の電圧が所定の階調電圧の値に到達した後は階調電圧選択回路36から供給される階調電圧を直接カラー液晶ディスプレイ1のデータ電極に印加して何ら問題ない。増幅器661~66528が動作状態になってから増幅器661~66528から出力されるデータ信号の電圧が所定の階調電圧の値に到達するまでの時間には、この例では約3 μsec であるとしている。そこで、この例においては、増幅器661~66528には、1水平同期周期のうちの、画像表示に必要な略中央の約10 μsec だけバイアス電流を供給して動作状態とし、その前約20 $\sim 30 \mu\text{sec}$ 、その後約30 μsec はバイアス電流を遮断して非動作状態として消費電力の低減を図るのである。1水平同期周期当たりの増幅器の動作時間が従来の場合1水平同期周期のすべて、すなわち、 $60 \sim 70 \mu\text{sec}$

secであるに対して、この例では約10μsecであるから、単純計算で、この例による消費電力は、従来の消費電力24mW程度の約1/6〜約1/7(約3.4〜4mW)となる。

【0054】次に、上記構成の液晶ディスプレイの駆動回路の動作のうち、制御回路51、共通電源4及びデータ電極駆動回路52の動作について、図15に示すタイミング・チャートを参照して説明する。まず、制御回路51は、図示せぬクロックCLKと、図15(1)に示すストロブ信号STBと、図15(2)に示すように、ストロブ信号STBよりクロックCLKのバルス数個分遅延された水平スタートパルスSTHと、図15(3)に示す極性信号POLとをデータ電極駆動回路52へ供給する。これにより、データ電極駆動回路52のシフトレジスタ12は、クロックCLKに同期して、水平スタートパルスSTHをシフトするシフト動作を行うとともに、176ビットのパラレルのサンプリングパルスSP1〜SP176を出力する。これと同時に、制御回路51は、外部から供給される各6ビットの赤データDR、緑データDG、青データDBを18ビットの表示データD00〜D05、D10〜D15、D20〜D25に変換してデータ電極駆動回路52へ供給する(図15(4)参照)。これにより、18ビットの表示データD00〜D05、D10〜D15、D20〜D25は、データ電極駆動回路52のデータバッファ13において、クロックCLKより所定時間遅延されたクロックCLK1に同期してクロックCLK1のパルス1個分保持された後、表示データD'00〜D'05、D'10〜D'15、D'20〜D'25としてデータレジスタ14へ供給される。したがって、表示データD'00〜D'05、D'10〜D'15、D'20〜D'25は、シフトレジスタ12から供給されるサンプリングパルスSP1〜SP176に同期して順次表示データPD1〜PD528としてデータレジスタ14に取り込まれた後、ストロブ信号STB1の立ち上がりと共に一斉にデータラッチ54に取り込まれ、各ラッチ571〜57528(図10にはラッチ571のみ示す)において1水平同期期間の間、保持される。

【0055】データラッチ54の各ラッチ571〜57528において1水平同期期間の間保持された表示データPD1〜PD528は、図15(3)に示す極性信号POLが「H」レベルの時は、レベルシフト581〜58528においてその電圧が3Vから5Vに変換され、切換手段591〜59528のスイッチ591a〜59528a及びインバータ601〜60528を経て、インバータ611〜61528から正極性の表示データPD'1〜PD'528として出力され、極性信号POL1が「L」レベルの時は、レベルシフト581〜58528においてその電圧が3Vから5Vに変換されるとともに反転され、切換手段591〜59528のスイッチ59

1b〜59528b及びインバータ601〜60528を経て、インバータ611〜61528から負極性の表示データPD'1〜PD'528として出力される。また、図15(3)に示す極性信号POLが「H」レベルの時は、制御回路33から図15(6)に示すタイミングで「H」レベルのスイッチ切換信号SSWPが、図15(7)に示すタイミングで「L」レベルのスイッチ切換信号SSWNがそれぞれ図11に示す階調電圧発生回路55及び極性選択回路37へ供給される。これにより、階調電圧発生回路55において、スイッチ64b及び65bが「L」レベルのスイッチ切換信号SSWNによりオフするとともに、スイッチ64a及び65aが「H」レベルのスイッチ切換信号SSWPによりオンする。したがって、縦続接続された抵抗621〜6265の一端に電源電圧VDDが印加されるとともに他端が接地され、64個の正極性用の階調電圧V1〜V64が極性選択回路37へ供給される。また、極性選択回路37において、上記スイッチ切換信号SSWP及びSSWNに基づいて、スイッチ群46aが一斉にオンするとともに、スイッチ群46bが一斉にオフするので、階調電圧発生回路55から供給される64個の正極性用の階調電圧V1〜V64がスイッチ群46aの対応するスイッチを経て、階調電圧選択回路36へ供給される。

【0056】したがって、図12に示す階調電圧選択回路36の各階調電圧選択回路361〜36528において、図13に示すMPX47が対応する6ビットのそのまの表示データPD'1〜PD'528の値に基づいて、64個のMOSTランジスタ481〜4832及び491〜4932のいずれか1個をオンする。これにより、オンしたMOSTランジスタから対応する正極性用の階調電圧がデータ赤信号、データ緑信号、データ青信号として出力され、出力回路56の対応する出力部561〜56528へ供給される。一方、図15(1)に示すストロブ信号STBが立ち上がった時に極性信号POLが「H」レベルである場合(図15(3)参照)、出力回路56には、図15(7)及び(9)に示すように、いずれも「L」レベルのスイッチ制御信号SWA及びSWBが供給される。これにより、出力回路56の各出力部561〜56528においては、スイッチ681〜68528及び691〜69528はいずれもオフする。したがって、スイッチ制御信号SWA及びSWBとともに「L」レベルである期間は、階調電圧選択回路36から供給されるデータ赤信号、データ緑信号及びデータ青信号がどのような値であっても、各出力部561〜56528から出力される赤信号、データ緑信号及びデータ青信号S1〜S528によりカラー液晶ディスプレイ1の対応するデータ電極に印加される電圧は、ハイインピーダンス状態である(図15(10)にはデータ赤信号S1のみ示す)。次に、制御回路53から供給される増幅器制御信号VS1が「H」レベルに立ち上がる(図示

略)と、図14に示すバイアス電流制御回路67において、定電流回路70が定電流動作を開始し、MOSTランジスタ78及び79がともにオフする。これにより、各出力部561~56528の増幅器661~66528を構成するMOSTランジスタ80及び81にバイアス電流が供給できる状態となる。

【0057】さらに、増幅器制御信号VS1が“H”レベルに立ち上がると略同時に増幅器制御信号VS2が“H”レベルに立ち上がると、バイアス電流制御回路67において、スイッチ73及び74がともにオンする。これにより、定電流回路70から供給される2個のバイアス電流のうち、一方のバイアス電流が増幅器71及びスイッチ73を介して増幅器661~66528のMOSTランジスタ80に高速に供給されるとともに、他方のバイアス電流が増幅器72及びスイッチ74を介して増幅器661~66528のMOSTランジスタ81に高速に供給される。したがって、増幅器661~66528は、動作状態となる。これにより、階調電圧選択回路36から供給される階調電圧は、出力回路56の対応する増幅器661~66528において増幅された後、増幅器制御信号VS1が“H”レベルに立ち上がったから所定時間後、“H”レベルに立ち上がるスイッチ制御信号SWA(図15(8)参照)によってオンされたスイッチ681~68528を経て、データ赤信号、データ緑信号及びデータ青信号S1~S528として、カラー液晶ディスプレイ1の対応するデータ電極に印加される。図15(8)には、表示データPD1の値が「000000」である場合のデータ赤信号S1の波形の一例を示している。この場合、図10に示すデータラッチ部541においては、表示データPD1の値「000000」は、そのまま表示データPD1の値として出力される。したがって、階調電圧選択部361において、MPX47が対応する表示データPD1の値「000000」に基づいて、MOSTランジスタ481がオンし、最も電源電圧VDDに近い極性用の階調電圧V1がデータ赤信号S1として出力される。一方、共通電源4は、“H”レベルの極性信号POLに基づいて、図15(5)に示すように、共通電位Vcomを接地レベル(GND)としてカラー液晶ディスプレイ1の共通電極に印加する。したがって、ノーマリー・ホワイト型であるカラー液晶ディスプレイ1の対応する画素には黒レベルが表示される。

【0058】次に、定電流回路70から供給されるバイアス電流が安定すると、増幅器制御信号VS2が“L”レベルに立ち下がり、これと略同時に増幅器制御信号VS3が“H”レベルに立ち上がる。これにより、スイッチ73及び74がともにオフすると略同時に、スイッチ75及び76がともにオンし、定電流回路70から供給されるバイアス電流が直接増幅器661~66528のMOSTランジスタ80及び81にバイアス電流が供給され

るようになる。これ以降は増幅器71及び72が非動作状態となるので、バイアス電流制御回路67における消費電力を削減することができる。そして、増幅器制御信号VS1が“L”レベルに立ち下ると、定電流回路70が定電流動作を停止するとともに、MOSTランジスタ78及び79がともにオンして増幅器661~66528を構成するMOSTランジスタ80及び81へのバイアス電流の供給を停止する。また、増幅器制御信号VS1が“L”レベルに立ち下ると略同時に増幅器制御信号VS3が“L”レベルに立ち下がるので、スイッチ75及び76がオフする。したがって、増幅器661~66528は、定電流が流れず、非動作状態となる。これにより、階調電圧選択回路36から供給される階調電圧は、増幅器制御信号VS1が“L”レベルに立ち下ると略同時に“H”レベルに立ち上がるスイッチ制御信号SW(図15(9)参照)によってオンされたスイッチ691~69528を経て、直接、データ赤信号、データ緑信号及びデータ青信号S1~S528として、カラー液晶ディスプレイ1の対応するデータ電極に印加される。この時点においては、増幅器661~66528から出力されるデータ信号の電圧が所定の階調電圧の値に到達しているので、スイッチ691~69528はその電圧を保持するためだけに用いられる。

【0059】次に、図15(1)に示すストロブ信号STBが立ち上がった時に極性信号POLが“L”レベルである場合(図15(3)参照)、出力回路56には、図15(7)及び(9)に示すように、いずれも“L”レベルのスイッチ制御信号SWA及びSWSが再び供給される。これにより、出力回路56の各出力部561~56528においては、スイッチ681~68528及び691~69528はいずれもオフする。したがって、スイッチ制御信号SWA及びSWSがともに“L”レベルである期間は、階調電圧選択回路36から供給されるデータ赤信号、データ緑信号及びデータ青信号がどのような値であっても、各出力部561~56528から出力されるデータ赤信号、データ緑信号及びデータ青信号S1~S528によりカラー液晶ディスプレイ1の対応するデータ電極に印加される電圧は、再びハイインピーダンス状態となる(図15(10)にはデータ赤信号S1のみを示す)。なお、これ以降の動作については、階調電圧V1~V64が負極性用になる点、共通電位Vcomが電源電圧レベル(VDD)となる点、表示データPD1~PD528の値が(例えば、「0000000」)が反転される点(例えば、値「1111111」)を除けば、上記した動作と略同様であるので、その説明を省略する。

【0060】このように、この例の構成によれば、出力回路56の各出力部561~56528を構成する増幅器661~66528に、1水平同期周期のうち、画像表示に必要な略中央の約10μsecだけバイアス電流を

供給して動作状態とし、その前約 $20 \sim 30 \mu\text{sec}$ 、その後約 $30 \mu\text{sec}$ はバイアス電流を遮断して非動作状態としている。これにより、上記した第 1 の実施例による得られる効果の他、より一層消費電力の低減を図ることができる。1 水平同期周期当たりの増幅器の動作時間が従来の場合 1 水平同期周期のすべての増幅器の動作時間が $60 \sim 70 \mu\text{sec}$ であるに対して、この例では約 $10 \mu\text{sec}$ であるから、単純計算で、この例による消費電力は、従来の消費電力 24 mW 程度の約 $1/6 \sim 1/7$ (約 $3.4 \sim 4 \text{ mW}$) となる。なお、増幅器 $661 \sim 66528$ を動作状態とする期間は、例えば、1 水平同期周期をそのままとしバイアス電流制御回路 67 を駆動する周波数を高めれば、上記約 $10 \mu\text{sec}$ よりも短縮することができる。これにより、一層消費電力を低減することができる。さらに、階調電圧選択回路 36 から供給される階調電圧を直接カラー液晶ディスプレイ 1 のデータ電極に印加する期間 (スイッチ $691 \sim 69528$ をオンさせる期間) を長くしても画質に影響がない場合は、一層消費電力を低減することができる。

【0061】C. 第 3 の実施例

次に、この発明の第 3 の実施例について説明する。図 16 は、この発明の第 3 の実施例であるカラー液晶ディスプレイ 1 の駆動回路の構成を示すブロック図である。この図において、図 1 の各部に対応する部分には同一の符号を付け、その説明を省略する。図 16 に示すカラー液晶ディスプレイ 1 の駆動回路においては、図 1 に示すデータ電極駆動回路 32 に換えて、データ電極駆動回路 82 が新たに設けられている。この例で、カラー液晶ディスプレイ 1 の解像度が 176×220 画素であるとするので、そのドット画素数は、 528×220 画素となる。図 17 は、データ電極駆動回路 82 の構成を示すブロック図である。この図において、図 2 の各部に対応する部分には同一の符号を付け、その説明を省略する。図 17 に示すデータ電極駆動回路 82 においては、図 2 に示すデータバッファ 13 及びデータラッチ 34 に換えて、データバッファ 83 及びデータラッチ 16 が新たに設けられている。このうち、データラッチ 16 は、図 2 に示す従来のデータラッチ 16 と同一構成及び同一機能であるので、その説明を省略する。データバッファ 83 は、制御回路 50 の消費電力を削減するため及び図 2 に示すデータラッチ 34 が行っていたデータの反転を行う。そのために、データバッファ 83 は、制御回路 50 から供給されるデータ反転信号 INV_2 と、制御回路 33 から供給される極性信号 POL_1 に基づいて、制御回路 50 から供給される 18 ビットの表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ をそのまま又は反転して表示データ $D'_{00} \sim D'_{05}$ 、 $D'_{10} \sim D'_{15}$ 、 $D'_{20} \sim D'_{25}$ としてデータレジスタ 14 へ供給する。

【0062】ここで、図 18 にデータバッファ 83 の一

部の構成を示す。この図において、図 23 の各部に対応する部分には同一の符号を付け、その説明を省略する。図 18 に示すデータバッファ 83 においては、図 23 に示す制御部 13b に換えて、制御部 83b が新たに設けられている。制御部 83b は、制御回路 50 から供給されるクロック CLK を所定時間遅延してクロック CLK_1 としてデータバッファ部 $13a_1 \sim 13a_{18}$ へ供給する。また、制御部 83b は、データ反転信号 INV_2 と極性信号 POL_1 に基づいて、データ反転信号 INV_1 を生成してデータバッファ部 $13a_1 \sim 13a_{18}$ へ供給する。データ反転信号 INV_1 は、図 19 に示す論理で表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ をそのまま又は反転して表示データ $D'_{00} \sim D'_{05}$ 、 $D'_{10} \sim D'_{15}$ 、 $D'_{20} \sim D'_{25}$ としてデータバッファ部 $13a_1 \sim 13a_{18}$ から出力させるための信号である。図 19 においては、表示データ $D_{00} \sim D_{05}$ 、 $D_{10} \sim D_{15}$ 、 $D_{20} \sim D_{25}$ を表示データ D_{XX} で代表させ、表示データ $D'_{00} \sim D'_{05}$ 、 $D'_{10} \sim D'_{15}$ 、 $D'_{20} \sim D'_{25}$ を表示データ D'_{XX} で代表させている。つまり、図 19 に示す第 1 段目は、以下のことを表している。すなわち、極性信号 POL_1 が L' レベルであるために表示データ D_{XX} を反転する必要があるが、同時にデータ反転信号 INV_2 も L' レベルであるので、制御回路 50 の消費電力を削減するために表示データ D_{XX} を反転する必要がある。結局、制御部 83b は、極性信号 POL_1 に基づく反転とデータ反転信号 INV_2 に基づく反転とを相殺し、 H' レベルのデータ反転信号 INV_1 をデータバッファ部 $13a_1 \sim 13a_{18}$ へ供給する。これにより、データバッファ部 $13a_1 \sim 13a_{18}$ からは正極性の表示データ $D'_{00} \sim D'_{05}$ 、 $D'_{10} \sim D'_{15}$ 、 $D'_{20} \sim D'_{25}$ が出力される。同様に、図 19 に示す第 2 段目は、以下のことを表している。すなわち、極性信号 POL_1 が L' レベルであるために表示データ D_{XX} を反転する必要があるが、データ反転信号 INV_2 は H' レベルであり、制御回路 50 の消費電力を削減するために表示データ D_{XX} を反転する必要はない。結局、制御部 83b は、 L' レベルのデータ反転信号 INV_1 をデータバッファ部 $13a_1 \sim 13a_{18}$ へ供給する。これにより、データバッファ部 $13a_1 \sim 13a_{18}$ からは負極性の表示データ D'_{XX} が出力される。同様に、図 19 に示す第 3 段目は、以下のことを表している。すなわち、極性信号 POL_1 が H' レベルであるために表示データ D_{XX} を反転する必要はないが、データ反転信号 INV_2 は L' レベルであり、制御回路 50 の消費電力を削減するために表示データ D_{XX} を反転する必要がある。結局、制御部 83b は、 L' レベルのデータ反転信号 INV_1 をデータバッファ部 $13a_1 \sim 13a_{18}$ へ供給する。これにより、データバッファ部 $13a_1 \sim 13a_{18}$ からは負極性の表示データ D'_{XX} が出力され

る。同様に、図 19 に示す第 4 段目は、以下のことを表している。すなわち、極性信号 POL₁ が "H" レベルであるために表示データ DXX を反転する必要がなく、データ反転信号 1NV も "H" レベルであるため、制御回路 50 の消費電力を削減するために表示データ DXX を反転する必要はない。結局、制御部 83 b は、"H" レベルのデータ反転信号 1NV₁ をデータバッファ部 13 a₁ ~ 13 a₁₈ へ供給する。これにより、データバッファ部 13 a₁ ~ 13 a₁₈ からは負極性表示データ D'XX が出力される。なお、図 19 に示す第 5 段目から第 8 段目までは表示データ DXX の値が第 5 段目から第 8 段目までと異なるだけであるので、その説明を省略する。なお、この例のカラー液晶ディスプレイ 1 の駆動回路においては、他の構成要素の機能及び動作について上記した第 1 の実施例と同様であるので、その説明を省略する。

【0063】このように、この例の構成によれば、データバッファ 13 には、データ反転信号 1NV に基づいて表示データ D00 ~ D05、D10 ~ D15、D20 ~ D25 を反転する機能に加えて、極性信号 POL₁ に基づいて表示データ D00 ~ D05、D10 ~ D15、D20 ~ D25 を反転する機能をも追加している。これにより、上記した第 1 及び第 2 の実施例のようにデータラッチ 34 及び 54 に極性信号 POL₁ に基づいて表示データ D00 ~ D05、D10 ~ D15、D20 ~ D25 を反転する機能を持たせる場合に比べて回路規模を縮小することができる。何故なら、データラッチ 34 及び 54 が上記極性信号 POL₁ に基づくデータ反転機能を有する場合、部品点数の少ないデータラッチ 54 でも 6 × 528 個の切換手段 59 1 ~ 59 528 が必要となる。これに対し、この例のようにデータバッファ 13 が上記極性信号 POL₁ に基づくデータ反転機能を有する場合、切換手段 24 1 ~ 24 28 は 28 個で良く、しかもデータ反転信号 1NV に基づく反転機能と兼用である。したがって、実質的には、6 × 528 個の切換手段 59 1 ~ 59 528 を削減することができる。

【0064】以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、上述の各実施例においては、カラー液晶ディスプレイ 1 の解像度や表示画面のサイズについては特に言及していないが、この発明は、液晶ディスプレイの表示画面が 12 ~ 13 インチ以下であって、ライン反転駆動方法やフレーム反転駆動方式を採用してもフリッカ等が目立たない液晶ディスプレイの駆動回路にも適用することができる。また、上述の各実施例の構成及び動作は、その構成及び動作において特に支障がない限り、他の実施例にも適用することができる。例えば、図 2 に示す構成を有するデータラッチ 34 と、図 9 に示す構成を有するデータラ

チ 54 とは交換することができる。図 4 に示す構成を有する階調電圧発生回路 35 と、図 11 に示す構成を有する階調電圧発生回路 55 と、図 8 に示す制御回路 51 がチップセレクト信号 CS を生成する機能を有することとを前提として交換することができる。同様に、図 17 に示す階調電圧発生回路 35 は、図 11 に示す構成を有する階調電圧発生回路 55 と交換することができる。また、図 2 及び図 17 に示す制御回路 33 及び出力回路 19 に換えて、図 9 に示す制御回路 53 及び出力回路 56 を設けても良い。このように構成すれば、より一層消費電力を低減することができる。さらに、上述の各実施例については、モノクロの液晶ディスプレイを駆動する駆動回路にも適用することができる。また、この発明による液晶ディスプレイの駆動回路は、表示画面が比較的小さい液晶ディスプレイを備えた携帯用電子機器にも適用することができる。具体的には、この発明は、ノート型、パーム型、ポケット型等のコンピュータ、PDA、あるいは携帯電話、PHS などの携帯用電子機器に適用することができる。

【0065】

【発明の効果】以上説明したように、この発明によれば、1 水平同期周期ごと又は 1 垂直同期周期ごとに反転する極性信号に基づいて、デジタル映像データをそのまま出力するか、あるいは反転して出力するとともに、液晶ディスプレイの正極性及び負極性の印加電圧に対する透過率特性に適合するように予め設定された正極性用及び負極性用の複数個の階調電圧のいずれか一方の極性用の複数個の階調電圧を選択し、そのままだのデジタル映像データ又は反転したデジタル映像データに基づいて、選択した極性用の複数個の階調電圧の中からいずれかの 1 個の階調電圧を選択し、選択した 1 個の階調電圧をデータ信号として対応するデータ電極に印加するように構成している。これにより、表示画面が比較的小さい表示部として用いられる液晶ディスプレイをライン反転駆動方式やフレーム反転駆動方式により駆動する場合に、消費電力を低減することができる。また、この発明によれば、階調電源を外部に設けない場合にももちろん、設ける場合であっても、従来より少ない部品点数で階調電源を構成することができる。また、階調電源を IC で構成した場合でも、そのチップサイズは従来に比べて小さい。また、この発明によれば、階調電圧選択回路は、電源電圧から接地電圧までわたる複数個の階調電圧のうち、高圧側の複数個の階調電圧がそれぞれ印加される複数個の P チャネルの MOST ランジスタと、低圧側の複数個の階調電圧がそれぞれ印加される複数個の N チャネルの MOST ランジスタとを備え、デジタル映像データに基づいて、いずれか 1 個の MOST ランジスタがオンして対応する階調電圧を出力する。したがって、階調電圧選択回路を従来のようにトランスファゲートにより構成する必要がなく、素子数を約半分に削減することができ

る。したがって、プリント基板の実装面積を削減することができるとともに、データ電極駆動回路を構成するCOG (Chip on Glass) などのICの回路規模が小さくなってチップサイズを削減することができる。これにより、上記したノート型、パーム型、ポケット型等のコンピュータ、PDA、あるいは携帯電話、PHSなど、バッテリー等により駆動される携帯用電子機器の小型化・軽量化を促進することができる。さらに、階調電圧選択回路を従来より略半分の数のMOSTランジスタで構成するので、それらの寄生容量が半減し、これに伴って階調電圧発生回路及び階調電圧選択回路における消費電力は、約半分になる。これにより、上記携帯用電子機器の消費電力を削減することができる、それらの使用可能時間も長くなる。また、階調電圧発生回路に流れる充放電電流の量も時間も削減することができるので、従来のように、カラー液晶ディスプレイに表示された画面のコントラストが悪くなるということはない。また、この発明によれば、液晶セルの印加電圧-透過率特性が正極性の印加電圧の場合と負極性の印加電圧の場合とで異なることに対応して、正極性用及び負極性用の階調電圧とを出力するようにしたので、色補正を容易に行うことができ、高品質の画質を得ることができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施例である液晶ディスプレイの駆動回路の構成を示すブロック図である。

【図2】 同回路を構成するデータ電極駆動回路32の構成を示すブロック図である。

【図3】 同回路32を構成するデータラッチ34の一部の構成を示す回路図である。

【図4】 同回路32を構成する階調電圧発生回路35及び極性選択回路37の構成を示す回路図である。

【図5】 同回路32を構成する階調電圧選択回路36及び出力回路19の構成を示す回路図である。

【図6】 同回路32を構成する、階調電圧選択回路36の一部及び出力回路19の一部の構成を示す回路図である。

【図7】 同回路の動作の一例を説明するためのタイミング・チャートである。

【図8】 この発明の第2の実施例である液晶ディスプレイの駆動回路の構成を示すブロック図である。

【図9】 同回路を構成するデータ電極駆動回路52の構成を示すブロック図である。

【図10】 同回路52を構成するデータラッチ54の一部の構成を示す回路図である。

【図11】 同回路52を構成する階調電圧発生回路55及び極性選択回路37の構成を示す回路図である。

【図12】 同回路52を構成する階調電圧選択回路36及び出力回路56の構成を示す回路図である。

【図13】 同回路52を構成する、階調電圧選択回路36の一部及び出力回路56の一部の構成を示す回路図

である。

【図14】 同回路56を構成するバイアス電流制御回路67の構成を示す回路図である。

【図15】 同回路の動作の一例を説明するためのタイミング・チャートである。

【図16】 この発明の第3の実施例である液晶ディスプレイの駆動回路の構成を示すブロック図である。

【図17】 同回路を構成するデータ電極駆動回路82の構成を示すブロック図である。

【図18】 同回路82を構成するデータバッファ83の一部の構成を示す回路図である。

【図19】 同データバッファ83を構成する制御部83bに入出力される信号の論理を説明するための図である。

【図20】 従来のカラー液晶ディスプレイの駆動回路の構成例を示すブロック図である。

【図21】 同回路を構成する階調電源3の構成例を示す回路図である。

【図22】 同回路を構成するデータ電極駆動回路5の構成例を示すブロック図である。

【図23】 同回路5を構成するデータバッファ13の一部の構成例を示すブロック図である。

【図24】 同回路5を構成する階調電圧発生回路17の構成例を示す回路図である。

【図25】 同回路5を構成する、階調電圧選択回路18の一部及び出力回路19の一部の構成例を示す回路図である。

【図26】 同回路の動作の一例を説明するためのタイミング・チャートである。

【符号の説明】

1 カラー液晶ディスプレイ
19, 56 出力回路
191~19528, 561~56528 出力部
32, 52, 82 データ電極駆動回路
33, 50, 51, 53 制御回路
34, 54 データラッチ
341~34528, 541~54528 データラッチ部
35, 55 階調電圧発生回路
36 階調電圧選択回路
361~36528 階調電圧選択部
37 極性選択回路
381~38528, 571~57528 ラッチ
391~39528, 581~58528 レベルシフト
411~41528 イスクルーシブオアゲート
421~42249 抵抗
43 MOSTランジスタ (第1のスイッチ)
44 MOSTランジスタ (第2のスイッチ)

43

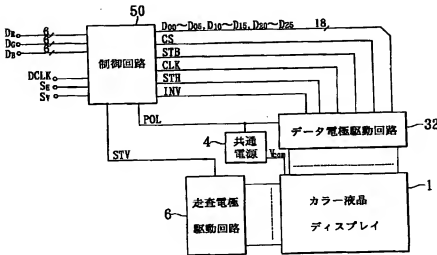
44

チ)
 481~4832, 491~4932 MOSTランジ
 スタ
 591~5918 切換手段 (出力切換手段)
 621~6265 抵抗 (第1の複数個の抵抗)
 631~6365 抵抗 (第2の複数個の抵抗)
 64a, 64b, 65a, 65b スイッチ (切換回
 路)
 661~66528 増幅器 (第1の増幅器)
 67 バイアス電流制御回路

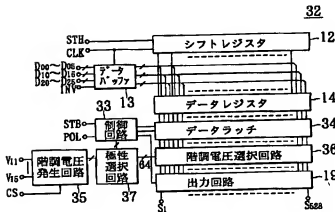
681~68528 スイッチ (第3のスイッチ)
 691~69528 スイッチ (第4のスイッチ)
 70 定電流回路
 71, 72 増幅器 (第2の増幅器)
 73, 74 スイッチ (第5のスイッチ)
 75, 76 スイッチ (第6のスイッチ)
 831~8318 データバッファ部
 83 データバッファ
 831~8318 データバッファ部

10

【図1】

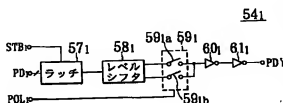


【図2】



【図10】

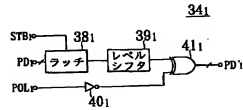
【図19】



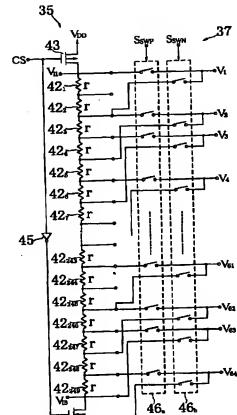
541

POL	INV	INV	D0a	D0c
L	L	H	0	0
L	H	L	0	1
L	L	L	0	1
L	H	H	0	0
L	L	H	0	0
L	H	L	1	0
L	L	L	1	0
L	H	H	1	1

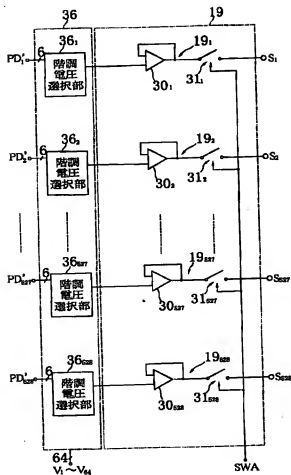
【図3】



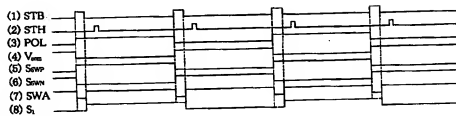
【図4】



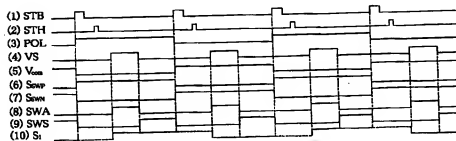
【図5】



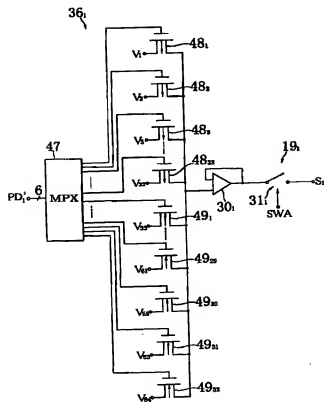
【図7】



【図15】

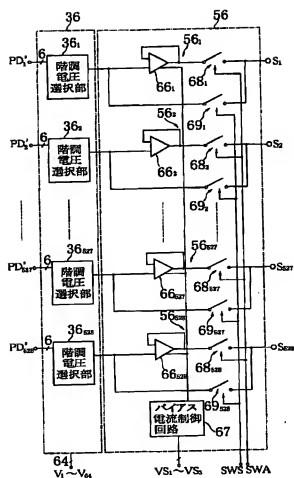


【図6】

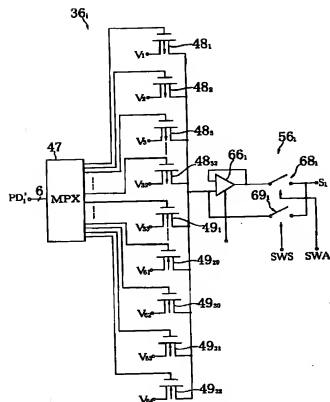


[illegible][illegible]

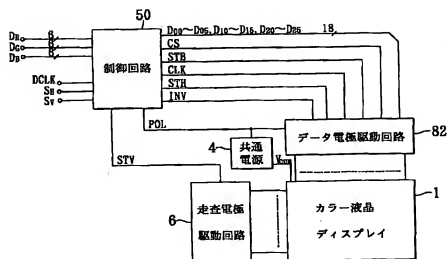
【図 12】



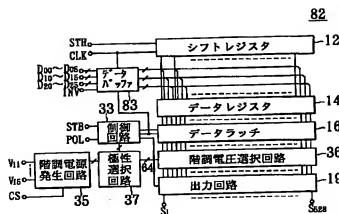
【図 13】



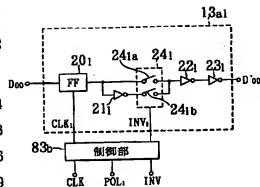
【図 16】



【図 17】

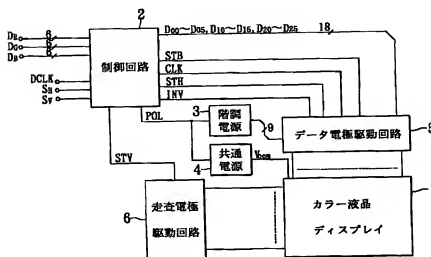


【図 18】

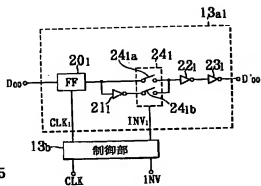
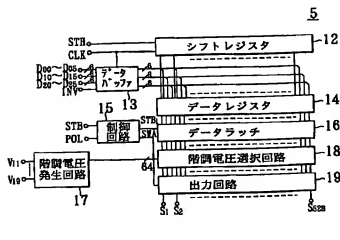


【図 23】

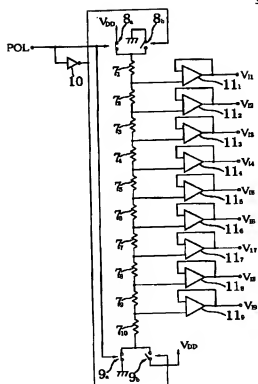
【図 20】



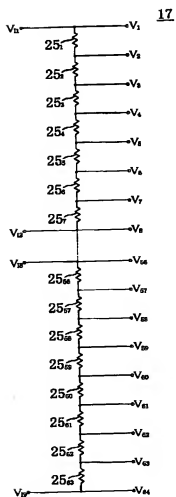
【図 22】



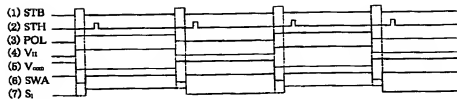
【図 2 1】



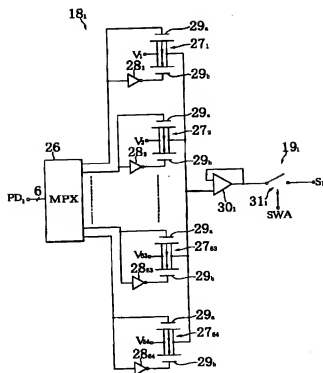
【図 2 4】



【図 2 6】



【図 25】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

識別記号

6 2 1

6 2 3

6 8 0

F I

G 0 9 G 3/20

テームド (参考)

6 2 1 B

6 2 3 E

6 8 0 T

F ターム (参考) 2H093 NA32 NA33 NA51 NC03 NC16

NC22 NC26 NC29 NC34 NC35

ND04 ND06 ND39

5C006 AA16 AC24 AC27 AC28 AF42

AF44 BB12 BC12 BF03 BF04

BF25 BF26 BF34 BF43 FA47

5C080 AA10 BB05 DD26 EE29 FF12

JJ02 JJ03 JJ04 KK07